

I dispositivi attivi

venerdì 4 dicembre 2009

L'utilizzo di dispositivi logici di varia natura e l'interfaccia tra elementi con varia tipologia di uscita richiede la conoscenza del principio di funzionamento dei più comuni elementi attivi noti.

Il funzionamento di un elemento attivo, o transistor, è basato sulle proprietà conduttive del materiale di cui è composto.

Al fenomeno della conduzione rispondono in modo differente i materiali a seconda della composizione della loro struttura cristallina.

Quando gli atomi vengono avvicinati tra loro per formare il solido i livelli energetici ammessi agli elettroni si dividono in bande. Le bande formate conterranno N livelli ammessi che potranno essere riempiti al più da $2N$ elettroni, secondo il principio di esclusione di Pauli.

Le bande più profonde, ovvero vicine ai nuclei, saranno completamente piene. Gli elettroni non potranno muoversi tra i vari livelli di una banda perché tutti pieni.

Le cariche potranno quindi muoversi solo all'interno delle bande non completamente piene, che si troveranno alle energie più elevate, lontano dai nuclei. Al riguardo abbiamo 3 possibilità.

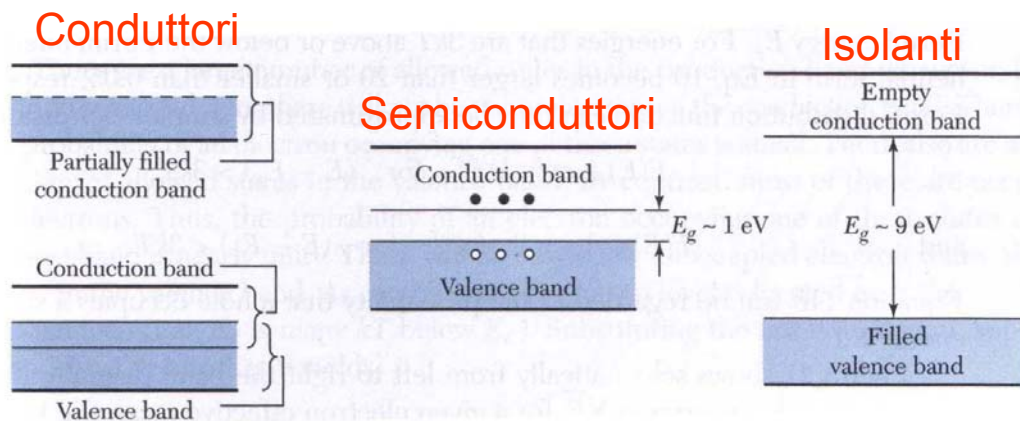
In funzione delle caratteristiche delle bande, si distinguono 3 differenti tipi di materiali: conduttori, semiconduttori ed isolanti.

Al fenomeno della conduzione partecipano solo le 2 bande più esterne, che vengono definite come banda di **valenza** e banda di **conduzione**.

La banda di **valenza** è la banda energetica più esterna completamente occupata da elettroni: in questa banda non potrebbe esserci movimento di carica, pertanto la conduzione è fortemente inibita qui.

La banda di **conduzione** è la banda più esterna non completamente piena di elettroni dove quindi il fenomeno della conduzione può verificarsi.

Le bande energetiche nei solidi



I **conduttori** si presentano secondo 2 caratteristiche: banda di conduzione non completamente piena di elettroni, ma separata in energia dalla banda di valenza, oppure banda di valenza e conduzione non completamente separate in energia, con livelli liberi in banda di conduzione. In entrambi i casi sono presenti molti elettroni disponibili alla conduzione: sotto praticamente qualsiasi condizione i conduttori sono in grado di sopportare grandi flussi di carica.

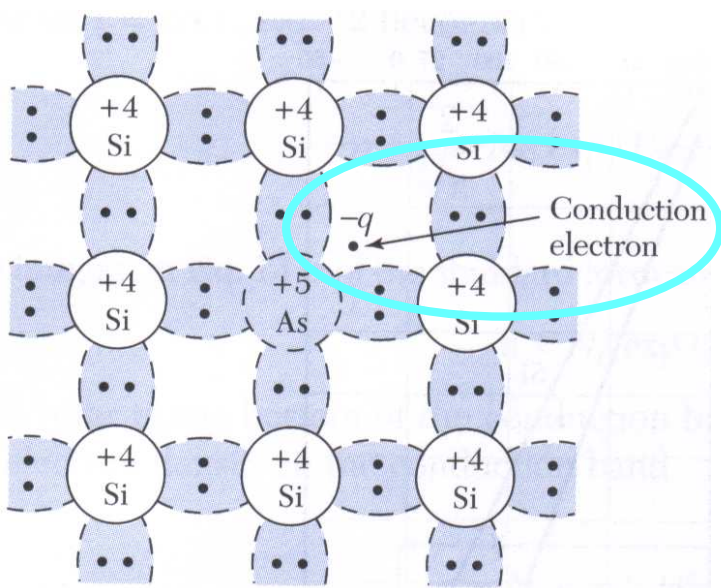
I **semiconduttori** hanno le bande di valenza e conduzione separate in energia, in genere tra meno di 1 eV a poco meno di 2 eV, però sono presenti pochi elettroni in banda di conduzione: in condizioni normali sono debolmente conduttivi e non lo sono affatto a basse temperature.

Gli **isolanti** hanno le bande di valenza e conduzione separate in energia. A differenza che con i semiconduttori la separazione è in genere maggiore di 5 eV. Perciò la loro disponibilità alla conduzione è praticamente fortemente inibita.

L'aspetto rivoluzionario che caratterizzò l'elettronica negli anni '50 fu il fatto che i **semiconduttori** possono essere trattati in modo che il fenomeno della conduzione possa essere modulato in funzione dell'alterazione delle caratteristiche fisiche imposte al reticolo cristallino.

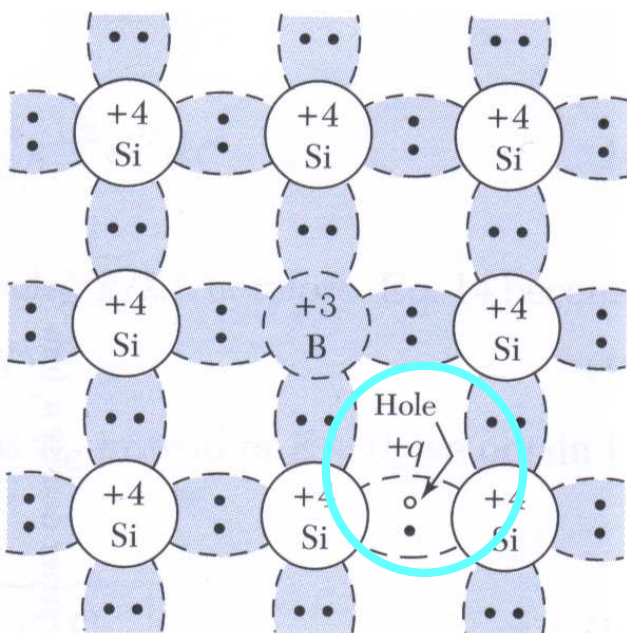
I Semiconduttori drogati 1

Consideriamo il Si (altri semiconduttori hanno comportamenti simili e vengono sfruttati in modo simile). Rispetto alle proprietà di conduzione elettrica il cristallo di silicio è formato da atomi che mettono in legame i 4 elettroni più esterni. Secondo questo schema i 4 elettroni considerati fanno parte della così detta banda di valenza e non possono girovagare per il materiale quando sottoposti a campo elettrico.



La scoperta fondamentale fu di capire che introducendo un atomo avente 5 elettroni di valenza in luogo di 4 nel reticolo cristallino il quinto elettrone rimane legato debolmente all'atomo intruso. Anche una piccola energia termica libera l'elettrone che può ora navigare per il materiale: questo elettrone può compiere il salto nella banda di conduzione.

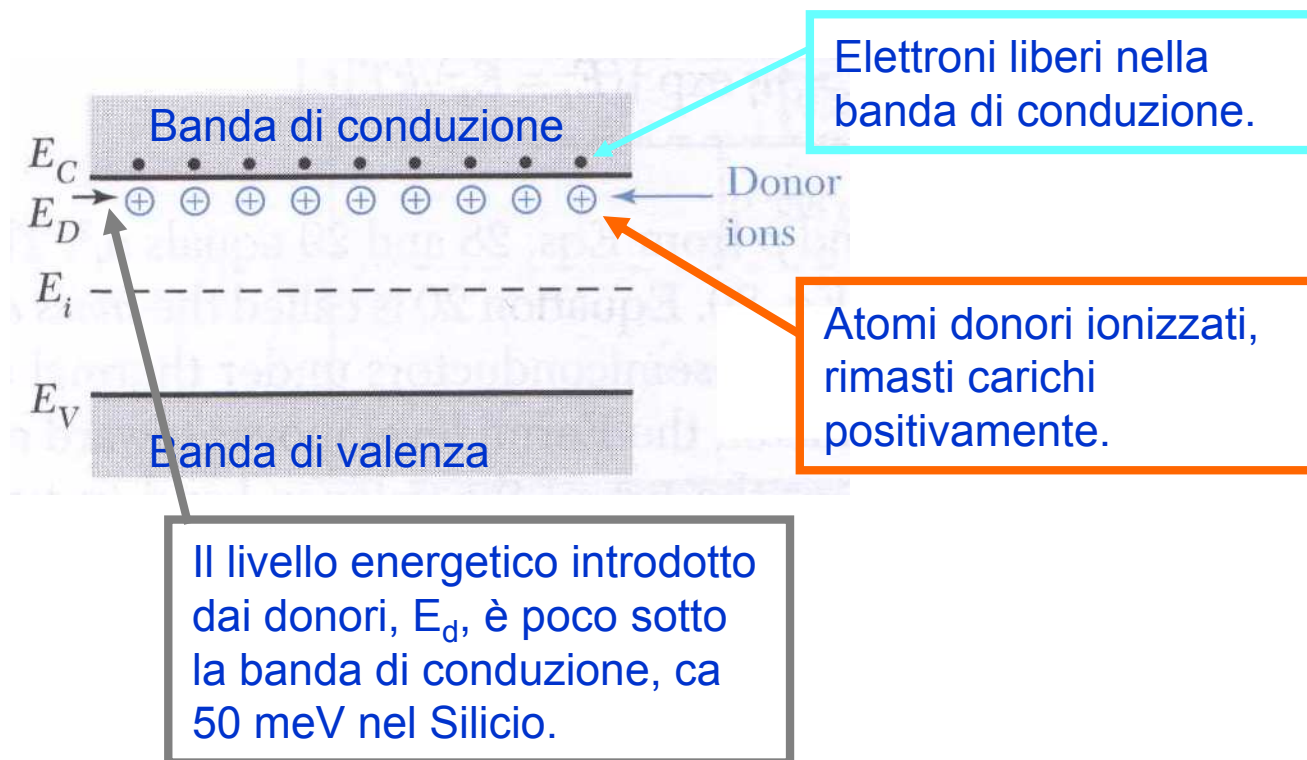
Introducendo una certa concentrazione N di atomi 'donori' per unità di volume si dice che il materiale è drogato con cariche negative.



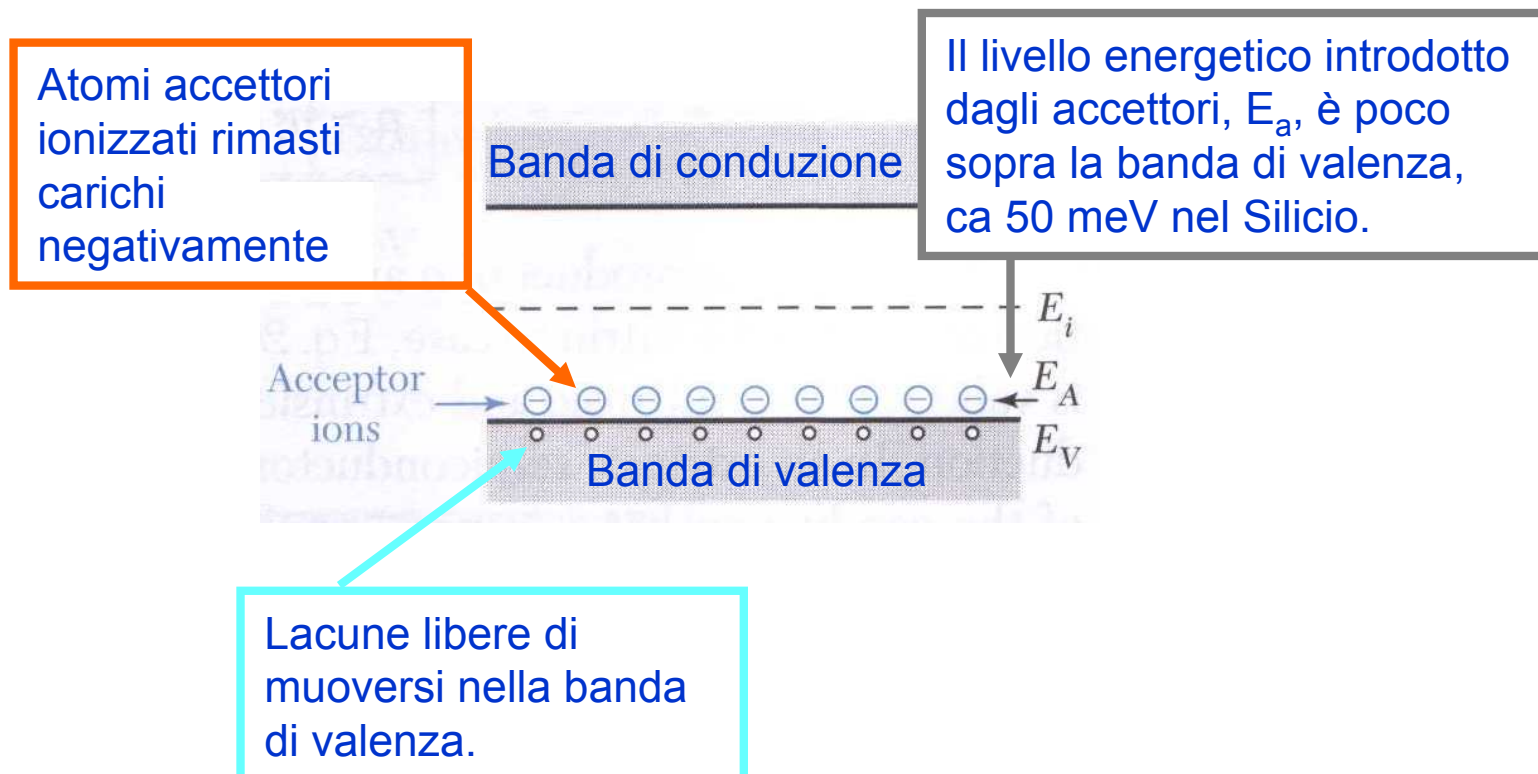
All'opposto, introducendo nel reticolo cristallino atomi aventi 3 elettroni di valenza si forma una sorta di lacuna predisposta ad accettare l'arrivo di un elettrone che gli salta dentro. La lacuna a tutti gli effetti si può considerare come una carica positiva che si muove in verso opposto all'elettrone che gli salta dentro. La localizzazione della lacuna è proprio appena sopra la banda di valenza. Introducendo P atomi 'accettori' per unità di volume si dice che il materiale è drogato con cariche positive.

I Semiconduttori drogati 2

Semiconduttore drogato N



Semiconduttore drogato P

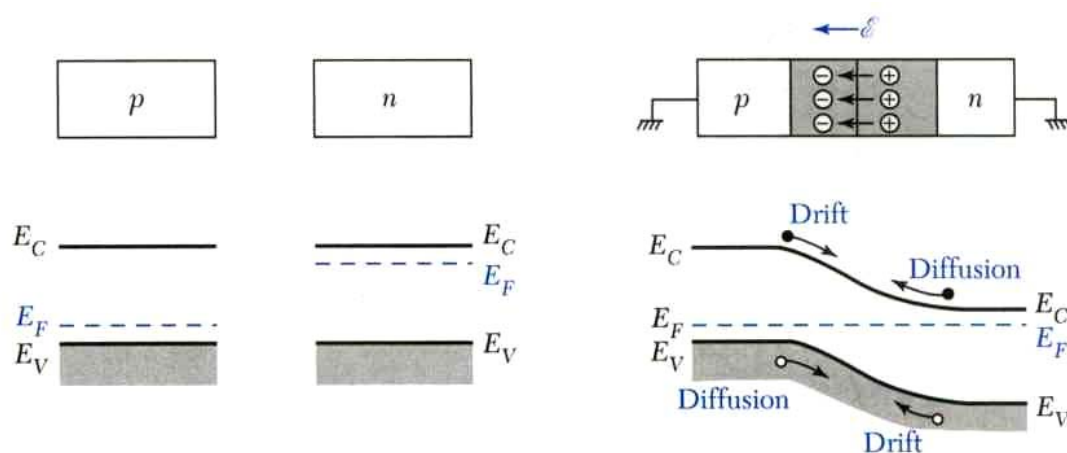


Il diodo 1

La cosa più semplice che si possa realizzare con la tecnica del drogaggio dei semiconduttori sono le resistenze. Infatti il valore Ohmico di una resistenza risulta inversamente proporzionale alla densità dei portatori presenti nel materiale:

$$R = \frac{1}{N} \frac{1}{q\mu_n} \frac{L}{W} \quad (\mu_{n(p)} = \text{mobilità degli elettroni (lacune)}).$$

La prima struttura più complicata che si possa realizzare è invece la così detta giunzione pn che si ottiene accoppiando tra loro 2 regioni drogate in modo opposto.

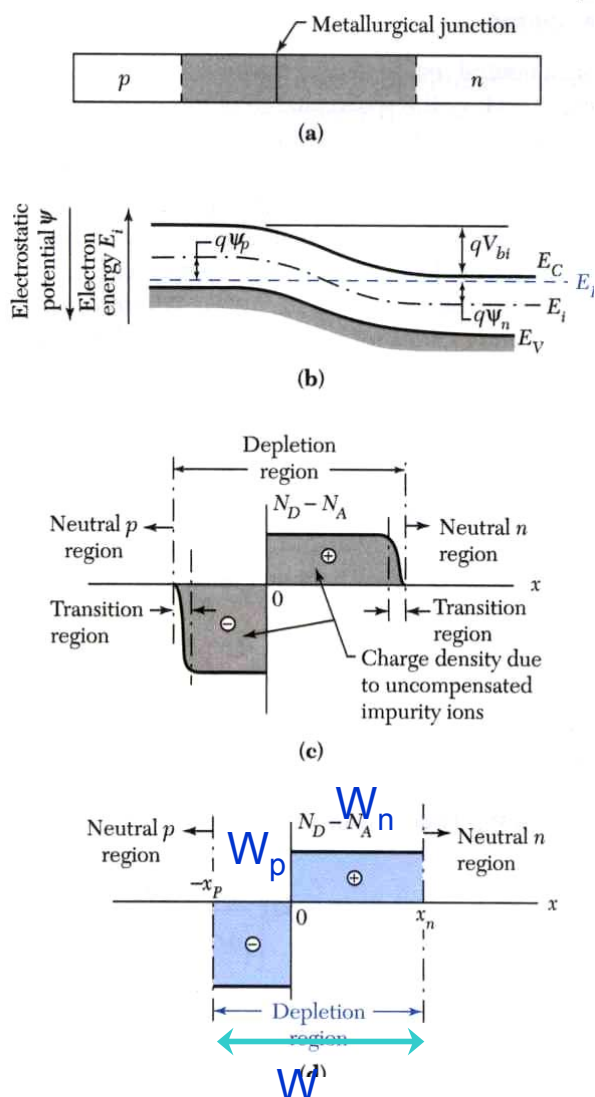


Il funzionamento è basato sul fenomeno del moto di diffusione e di deriva. Se non applichiamo nessun campo elettrico gli elettroni tenderanno a diffondere verso la zona P, dove ce ne saranno pochissimi, mentre le lacune tenderanno a diffondere verso la zona N, dove vale la stessa situazione. Nel processo la zona N si caricherà positivamente (un atomo scoperto per ogni elettrone che migra), mentre la zona P negativamente. Il processo di diffusione terminerà quando si costruirà un campo elettrico che cercherà di indurre un moto di deriva che si opporrà al moto di diffusione.

All'equilibrio la corrente sarà ovviamente nulla.

Alla fine rimarranno 2 zone, dette di svuotamento e cariche una N ed una P, dove non saranno presenti cariche libere.

Il diodo 2



Il passaggio dalla zone neutre alle regioni di svuotamento è molto piccola rispetto alla larghezza della zona stessa. In genere per fare i conti si approssima il profilo quadrato.

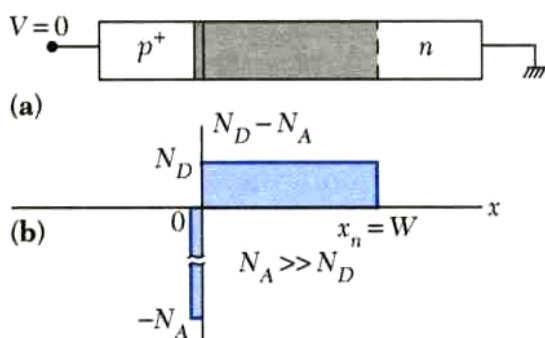
Perciò in condizioni di equilibrio possiamo applicare l'equazione di Poisson in forma semplificata per ricavare il campo nella regione di svuotamento:

$$\frac{d^2\psi_n}{dx^2} = -\frac{qN}{\epsilon_s} \quad \left(\frac{d^2\psi_p}{dx^2} = \frac{qP}{\epsilon_s} \right)$$

Risolvendo l'eq. Di Poisson, e considerando le condizioni al contorno, si ricava che la larghezza della regione di svuotamento è esprimibile in funzione della ddp V_{bi} instauratasi tra le due regioni:

$$W = \sqrt{\frac{2\epsilon_s}{q} \left(\frac{N+P}{NP} \right) V_{bi}}$$

W dipende molto dal tipo di drogaggio. Un caso particolare si ha quando una delle 2 zone, per esempio la P, è molto più drogata dell'altra. In tale circostanza la zona di svuotamento si estende sostanzialmente solo da una parte:



$$W = \sqrt{\frac{2\epsilon_s}{q} \frac{1}{N} V_{bi}}$$

Ci resta da stimare V_{bi} . Per farlo si parte dal fatto che in equilibrio la corrente deve essere nulla:

$$0 = J_p = J_p(\text{deriva}) + J_p(\text{diffusione}) =$$

$$= q\mu_p p(x) E(x) - qD_p \frac{dp(x)}{dx}$$

Le Logiche e le interfacce 187

$$D_p = \frac{KT\mu_p}{q} \quad (\text{Costante di diffusione})$$

$$\left(\begin{aligned} 0 &= J_n \\ &= q\mu_n n(x) E_n(x) + qD_n \frac{dn(x)}{dx} \end{aligned} \right)$$

Il diodo 3

Le due equazioni differenziali si riducono a 2 equazioni a variabili separabili:

$$\int_0^x q\mu_p E(x)dx = \int_{p(0)}^{p(x)} qD_p \frac{dp(x)}{p(x)} \Rightarrow \Psi_p(x) = -\frac{D_p}{\mu_p} \int_{p(0)}^{p(x)} \frac{dp(x)}{p(x)}$$

$$\int_0^x q\mu_n E(x)dx = - \int_{n(0)}^{n(x)} qD_n \frac{dn(x)}{n(x)} \Rightarrow \Psi_n(x) = \frac{D_n}{\mu_n} \int_{n(0)}^{n(x)} \frac{dn(x)}{n(x)}$$

Siccome l'integrale del campo elettrico è la tensione, agli estremi delle zone di svuotamento, dove abbiamo le condizioni al contorno, si trova che:

$$V_{bi} = \Psi_n(x_n) - \Psi_p(-x_p) = \frac{KT}{q} \ln \left(\frac{p(-x_p)n(x_n)}{p(0)n(0)} \right)$$

In condizioni di equilibrio ed in ogni punto del materiale deve valere la così detta legge di azione di massa, espressa dalla relazione:

$$n_i^2 = n(x)p(x) \quad \text{in condizioni di equilibrio (vedi pagina successiva)}$$

Quindi:

$$V_{bi} = \frac{KT}{q} \ln \left(\frac{p(-x_p)n(x_n)}{n_i^2} \right) = \frac{KT}{q} \ln \left(\frac{n_{no}}{n_{po}} \right) = \frac{KT}{q} \ln \left(\frac{p_{po}}{p_{no}} \right)$$

Dove:

$n_{no} = n(x > x_n)$ concentrazione di elettroni in banda di conduzione in equilibrio nella zona n;

$n_{po} = n(x < -x_p)$ concentrazione di elettroni in banda di conduzione in equilibrio nella zona p;

Invertendo la relazione sopra si possono trovare le relazioni inverse:

$$n_{no} = n_{po} \exp \left(\frac{qV_{bi}}{KT} \right) \quad p_{po} = p_{no} \exp \left(\frac{qV_{bi}}{KT} \right)$$

Le relazioni ottenute sono molto importanti perché si riescono anche ad estendere alle situazioni in cui si applicano campi elettrici di intensità tali da non precludere la situazione di così detta 'bassa iniezione'.

Il diodo 3a, nota: la legge di azione di massa

Se la concentrazione N dei donori è \ll del numero di stati disponibili nella banda di conduzione la probabilità che un elettrone salti nella banda di conduzione da un livello donore o dalla banda di valenza non dipende dal numero di elettroni già presenti nella banda di conduzione, ma solo dalla temperatura.

Possiamo scrivere che la frequenza di generazione è:

$$G=f_1(T)$$

La ricombinazione di una coppia lacuna-elettrone dipenderà dal numero di elettroni e lacune presenti, nonché da T . La frequenza di ricombinazione sarà pertanto:

$$R=npf_2(T)$$

All'equilibrio deve valere che $R=G$:

$$f_1(T)=npf_2(T)$$

Quindi:

$$np=f_1(T)/f_2(T)=f_3(T)$$

Da qui si definisce $f_3(T)=n_i^2$: concentrazione intrinseca.

In particolare si trova che:

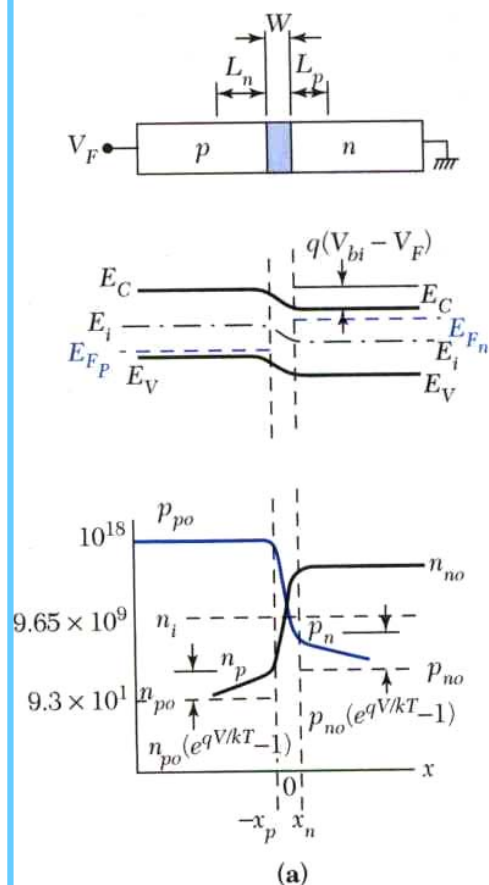
$$n_i^2 = N_c N_v \exp\left(-\frac{E_G}{KT}\right)$$

Va da se che se N e/o P sono \ll degli stati disponibili nelle rispettive bande la legge non viene modificata dalla loro presenza e n_i ha un significato intrinseco.

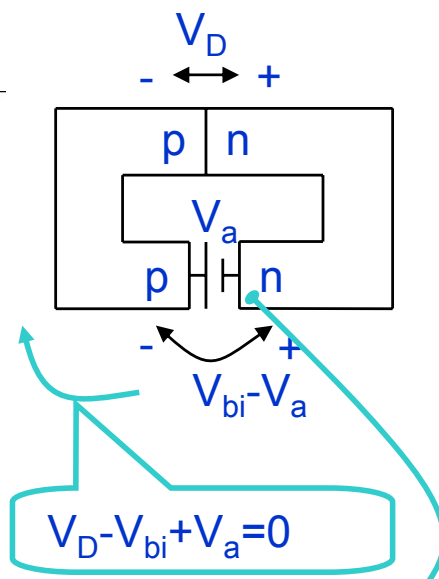
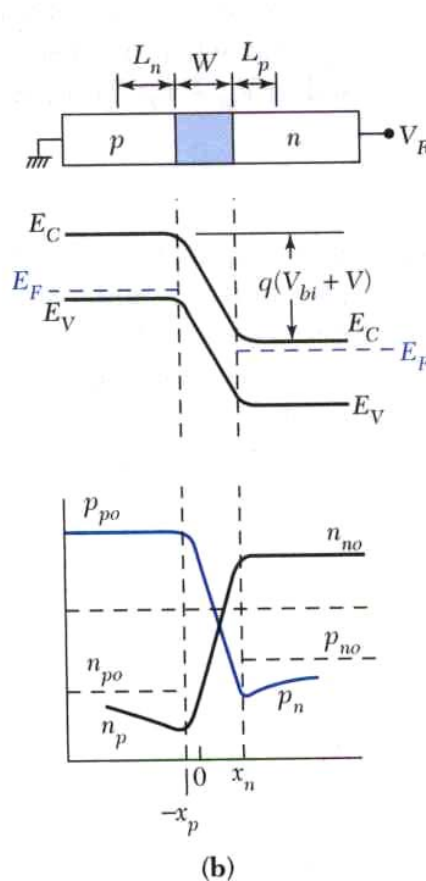
Il diodo 4

Quando si applica una ddp V_a alla giunzione si possono verificare 2 situazioni: V_a ha polarità tale da inibire ulteriormente la zona di svuotamento oppure è tale da iniettare cariche verso la zona di svuotamento, rimpicciolendola.

Polarizzazione Diretta



Polarizzazione Inversa



V_{bi} non viene alterata qui perché V_a è applicata tra i 2 estremi, non ai capi dei 2 estremi, come nell'altro caso.

Le situazioni che si fronteggiano nella pratica, in caso di polarizzazione diretta, sono tali da non annullare la regione di svuotamento, ma di ridurla. Nella regione di svuotamento si potrà ancora considerare valida l'eq. di Poisson dove la carica presente nella regione è molto maggiore di quella dovuta alla corrente circolante.

L'effetto dell'applicazione della polarizzazione diretta, o inversa, è quello di modificare di pochissimo le correnti di equilibrio presenti all'interno della regione di svuotamento.

Sostanzialmente abbiamo che:

$$J_p = J_p(\text{deriva di equilibrio}) + J_p(\text{diffusione di equilibrio}) + J_p(\text{applicata}) \approx$$

$$\approx J_p(\text{deriva di equilibrio}) + J_p(\text{diffusione di equilibrio}) = q\mu_p p(x)E - qD_p \frac{dp(x)}{dx}$$

Il diodo 5

Perciò la soluzione della soluzione dell'eq. di Poisson è uguale alla precedente. Solo cambiano le condizioni al contorno: la larghezza della regione di svuotamento è diversa che nelle condizioni di equilibrio.

Se ammettiamo che nelle 2 regioni neutre la ddp presente per via della eventuale corrente imposta sia trascurabile abbiamo che ai bordi delle regioni di svuotamento:

$$n_n = n_p \exp\left(\frac{q(V_{bi} - V_a)}{KT}\right) \quad p_p = p_n \exp\left(\frac{q(V_{bi} - V_a)}{KT}\right)$$

Dove V_a è considerata applicata tra la zona p e la zona n, n_n e n_p (p_p , p_n) sono le concentrazioni di non-equilibrio.

Se consideriamo che nella regione p (n) la distribuzione di carica è poco perturbata dalla eventuale carica n (p) iniettata possiamo dire che $n_n \cong n_{no}$ ($p_p \cong p_{po}$). Perciò:

$$n_p = n_{po} \exp\left(\frac{qV_a}{KT}\right) \quad p_n = p_{no} \exp\left(\frac{qV_a}{KT}\right)$$

Ovvero, la variazione della larghezza della regione di svuotamento ha come conseguenza che ai suoi bordi sono presenti ora delle distribuzioni di carica in eccesso, o difetto, rispetto alla condizione di equilibrio termico.

L'eventuale corrente ci aspettiamo essere proporzionale alla carica inietta in eccesso, o in difetto, rispetto a quella presente di origine termica:

$$n_p - n_{po} = n_{po} \left[\exp\left(\frac{qV_a}{KT}\right) - 1 \right] \quad p_n - p_{no} = p_{no} \left[\exp\left(\frac{qV_a}{KT}\right) - 1 \right]$$

Il diodo 6

Tutta l'azione della giunzione la si ha ai bordi delle regioni di svuotamento: la carica in eccesso, minoritaria, iniettata nella zona n (p), di segno opposto, diffonde nella regione ricombinandosi con i portatori maggioritari presenti.

Si determina un gradiente responsabile della corrente che si va a creare.

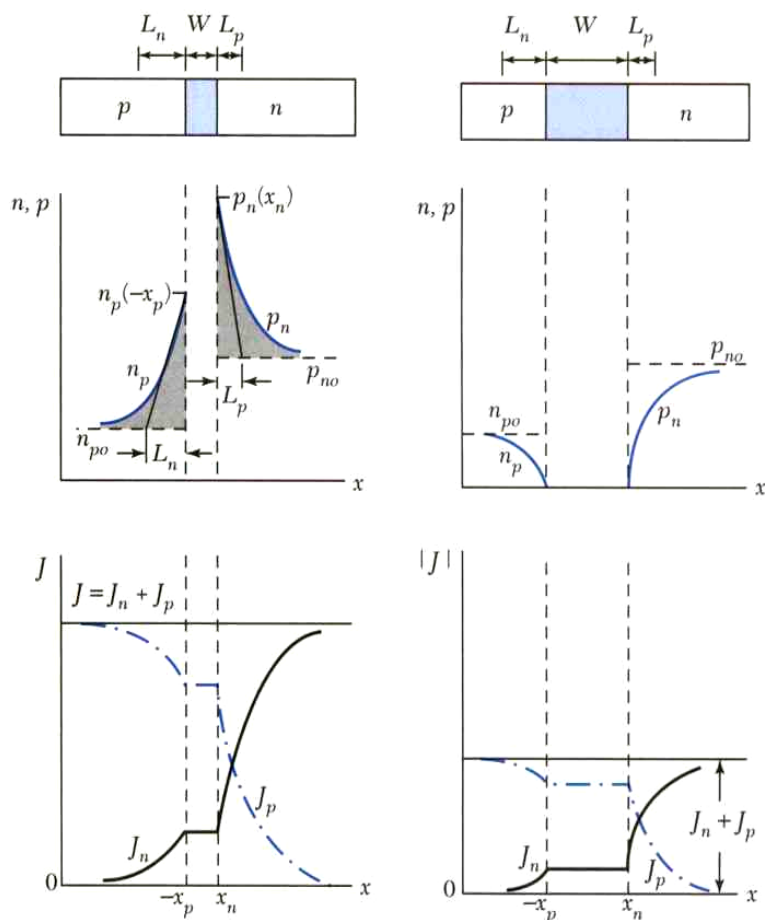
Riprendiamo l'espressione dell'eccesso di carica presenti ai bordi delle 2 regioni di svuotamento:

$$n_p - n_{po} = n_{po} \left[\exp\left(\frac{qV_a}{KT}\right) - 1 \right] \quad p_n - p_{no} = p_{no} \left[\exp\left(\frac{qV_a}{KT}\right) - 1 \right]$$

Osserviamo che la carica iniettata è maggiore di quella di equilibrio se V_a è positivo, ovvero applichiamo una ddp alla regione p maggiore che nella regione n. Se V_a è negativa si ottiene un impoverimento.

L'espressione trovata rappresenta le 2 concentrazioni ai bordi delle regioni di svuotamento. Come detto sopra: questa concentrazione deve presentare un gradiente nelle regione neutra perché sta cercando di diffondersi in una zona dove esistono molte cariche di segno opposto che la compensano.

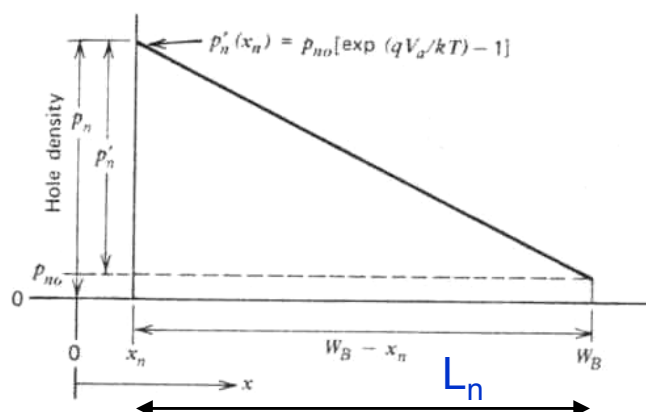
Il diodo 7



La determinazione di questa corrente di diffusione nella regione neutra è molto semplice se assumiamo che il diodo sia molto corto rispetto alla così detta lunghezza di diffusione.

$$p_n(x) = p_n \left(1 - \frac{x}{L_n} \right) + p_{no} \frac{x}{L_n}$$

$$\left(J_p(\text{diff}) = -qD_p \frac{dp_n}{dx} \right)$$



$$J_p \approx qD_p \frac{p_{no}}{L_n} \left(\exp\left(\frac{qV_a}{KT}\right) - 1 \right) = qD_p \frac{n_i^2}{NL_n} \left(\exp\left(\frac{qV_a}{KT}\right) - 1 \right)$$

$$J_n \approx qD_n \frac{n_{po}}{L_p} \left(\exp\left(\frac{qV_a}{KT}\right) - 1 \right) = qD_n \frac{n_i^2}{PL_p} \left(\exp\left(\frac{qV_a}{KT}\right) - 1 \right)$$

Ovviamente poiché cariche di segno opposto che si muovono in versi opposti danno origine alla stessa corrente:

$$\begin{aligned} J = J_n + J_p &= qn_i^2 \left(\frac{D_p}{NL_n} + \frac{D_n}{PL_p} \right) \left(\exp\left(\frac{qV_a}{KT}\right) - 1 \right) \\ &= J_0 \left(\exp\left(\frac{qV_a}{KT}\right) - 1 \right) \end{aligned}$$

Il diodo 8

Validità dell'approssimazione:

In condizioni statiche, in assenza di campo applicato, nel passaggio dalla zona p alla n vi è una variazione di concentrazione drastica, per es. da 10^{18} a 10^4 at/cm³. La corrente di diffusione, quindi di deriva, presente 'canonicamente' alla giunzione può essere stimata a partire da:

$$J(\text{diffusione}) = qD_n \frac{dn(x)}{dx} = KT\mu_n \frac{dn(x)}{dx}, \quad D_n = \frac{KT\mu_n}{q}$$

Considerando una larghezza della zona di svuotamento di circa 10^{-5} cm otteniamo:

$$J(\text{diffusione}) = KT\mu \frac{dn(x)}{dx} = \underset{K}{1.38 \times 10^{-23}} \times \underset{T}{300} \times \underset{\mu}{600} \times \left(\frac{10^{18} - 10^4}{10^{-5}} \right) \div 2.5 \times 10^5 \frac{\text{A}}{\text{cm}^2}$$

Consideriamo la corrente che abbiamo appena calcolato dovuta al campo applicato:

$$\begin{aligned} J &= q \frac{p_{no} D_n}{L_p} \left(\exp\left(\frac{qV_a}{KT}\right) - 1 \right) = \frac{p_{no} KT\mu}{L_p} \left(\exp\left(\frac{qV_a}{KT}\right) - 1 \right) \\ &= \frac{10^4 \times 1.38 \times 10^{-23} \times 300 \times 600}{10^{-4}} \times \exp\left(\frac{q0.65}{KT}\right) \div 50 \text{ A/cm}^2 \end{aligned}$$

Perciò il rapporto tra le 2 correnti è uno a 5000 ca.

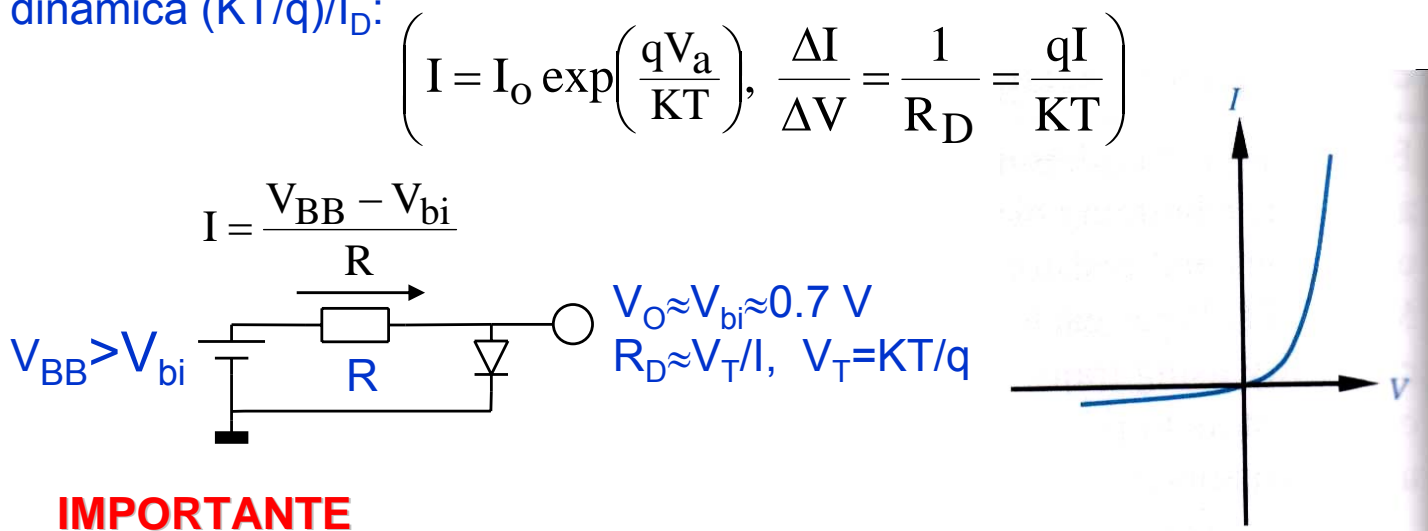
Riassunto diodi

Il diodo è un dispositivo a 2 terminali così detto rettificatore.

Quando polarizzato inversamente non si lascia attraversare da corrente, ovvero si lascia attraversare da una corrente trascurabile, detta parassita. Offre una impedenza resistiva elevata, ed una capacità che dipende dalla tensione applicata:

$$C = \frac{\epsilon_s}{W} A \quad W = \sqrt{\frac{2\epsilon_s}{q} \left(\frac{N+P}{NP} \right) (V_{bi} - V_A)} \quad A = \text{area della giunzione}$$

Quando polarizzato direttamente il diodo si può modellizzare come un generatore di tensione, di valore circa 0.7 V per il Silicio, ed impedenza dinamica $(KT/q)/I_D$:



IMPORTANTE

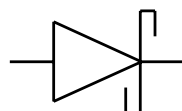
C'è una tipologia di diodo in cui la parte p viene realizzata con un metallo avente opportune proprietà. Questo fa sì che la barriera di potenziale alla giunzione sia più bassa. Quello che si ottiene è:

$$V_{bi} \approx 0.3 \text{ V}$$

Maggiore velocità

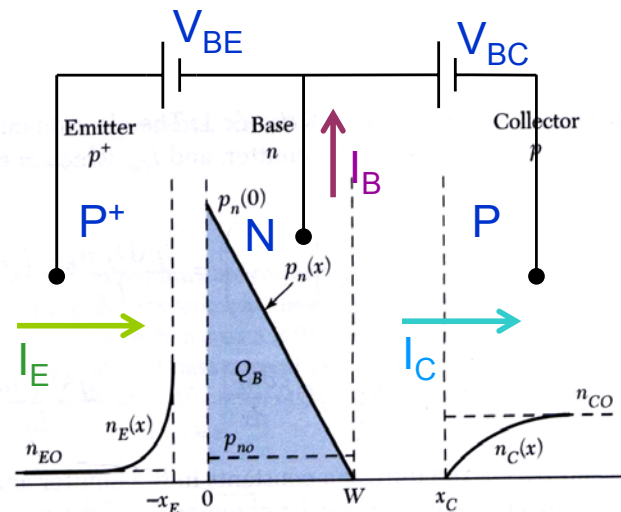
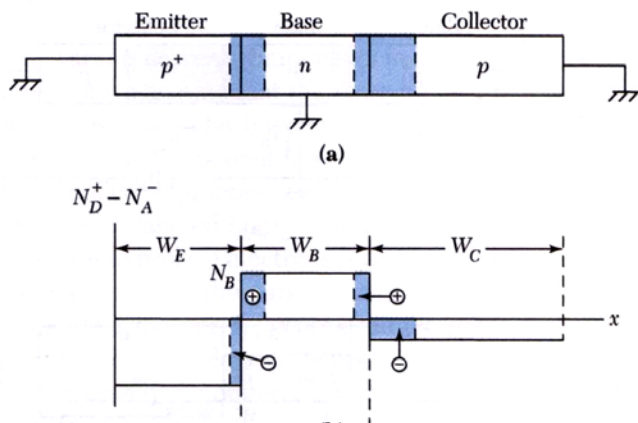
Maggiore corrente parassita in regione inversa.

Questi diodi vengono chiamati diodi Schottky ed hanno una grossa importanza nei circuiti digitali:



Il Transistor Bipolare

La comprensione del funzionamento, a livello qualitativo, del transistor bipolare è molto semplice se ripensiamo alle correnti iniettate nelle 2 regioni n e p di una giunzione pn.



Polarizziamo direttamente la giunzione di sinistra, dove chiamiamo Emittitore il terminale esterno e Base quello centrale. Nell'esempio in esame abbiamo che dalla base vi saranno elettroni iniettati nell'emettitore.

La quantità di elettroni iniettati dalla B in E dipenderà inversamente dalla concentrazione di droganti presente nell'E.

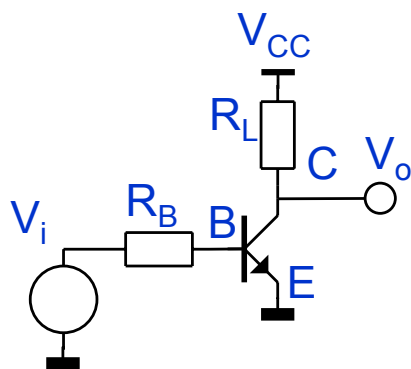
Allo stesso modo la quantità di lacune iniettate dall'E in B sarà inversamente proporzionale alla concentrazione di droganti in B.

L'azione di transistor si accende in questo modo: la regione di destra, il Collettore, è polarizzata inversamente rispetto alla base. Se la base è sufficientemente stretta le cariche che arrivano dall'E tendono a passare direttamente nel C, senza ricombinarsi in B, per via del campo elettrico favorevole che le attira. Perciò abbiamo che:

$$I_E = I_B + I_C \quad I_B \div \frac{n_i^2}{P_E} \exp(qV_{BE}/KT) \quad I_C \div \frac{n_i^2}{N_B} \exp(qV_{BE}/KT)$$

Quindi: $\beta = h_{FE} = \frac{I_C}{I_B} \div \frac{P_E}{N_B} \div 100 - 500 \quad I_E = (\beta + 1)I_B$

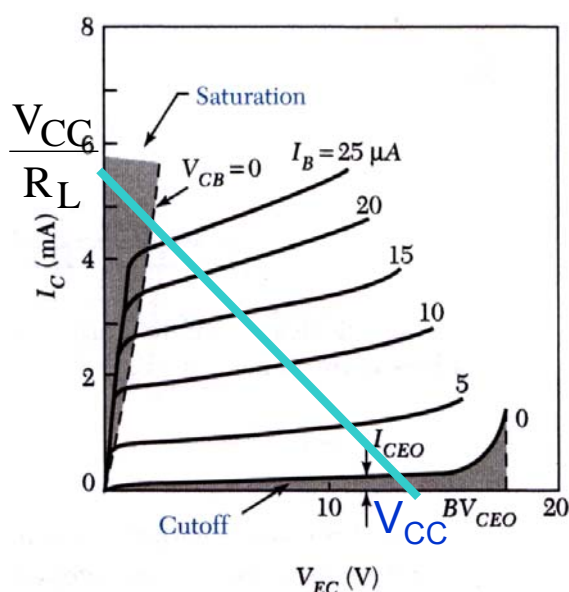
Uso del Transistor Bipolare: la configurazione E comune



Il Tr. Bipolare è quindi un dispositivo a 3 terminali dove la corrente di collettore è controllabile, entro certi limiti, in modo lineare da una piccola corrente di base.

Il potenziale di collettore, per grandi correnti, dipenderà perciò dall'impedenza connessa secondo la legge:

$$V_o = V_{CC} - \beta I_B R_L = V_{CC} - \beta I_{OB} \exp(qV_{BE}/KT) R_L$$



Per il piccolo segnale possiamo approssimare al primo ordine:

$$v_o = -\beta i_B R_L = -g_m R_L v_i$$

$$g_m = \frac{q\beta I_B}{KT} = \frac{qI_C}{KT} = \frac{I_C}{V_{TH}}$$

In realtà dal punto di vista digitale interessano più che altro i grandi segnali, visto che occorre commutare tra 2 stati ben definiti.

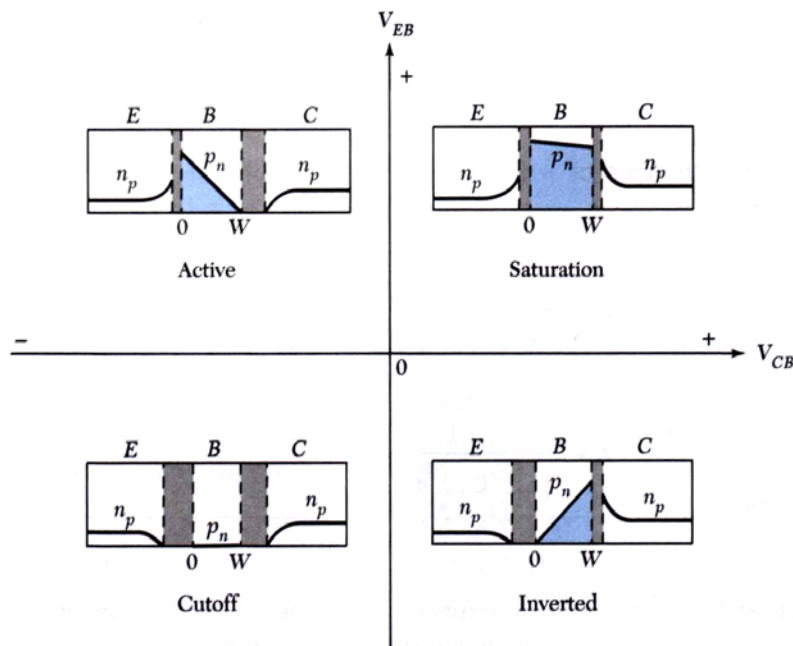
Per esempio cosa succede quando si ha che $\beta I_B R_L > V_{CC}$?

Il limite di tensione inferiore alla tensione di collettore è 0 V. Ciò che accade è che la giunzione B-C non è più polarizzata inversamente, sia l'E che il C inondano ora la B di cariche: il guadagno di corrente diviene ora poco significativo. Le 3 correnti vengono ad avere valore simile. Questo regime è detto di saturazione.

NOTE IMPORTANTI:

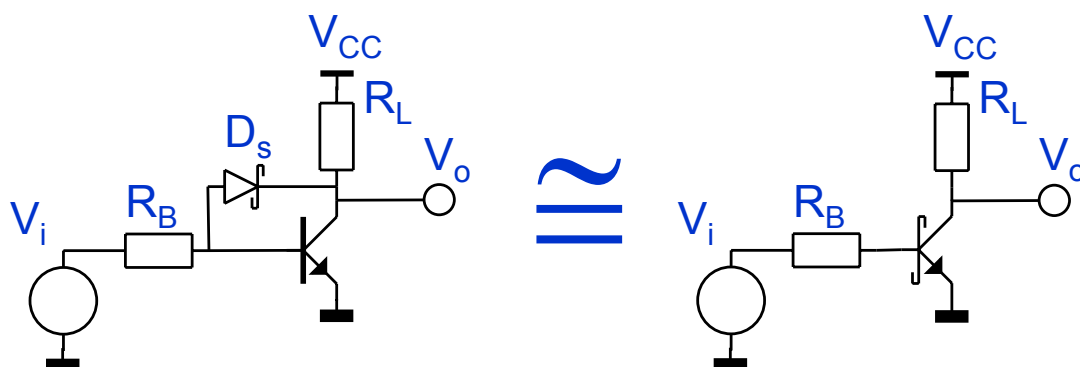
1. Il comportamento riscontrato dimostra che il guadagno di corrente dipende dal valore della corrente;
2. I tr. Bipolari sono dispositivi controllati con una corrente di ingresso: non va mai trascurata la presenza di una resistenza R_B in serie alla base per limitare la corrente di base nei circuiti digitali.

I transistori bipolari Schottky



Quando si cerca di uscire dalla saturazione, riducendo la corrente di base, il guadagno è inizialmente basso. Inoltre la B è piena di cariche che devono essere rimosse. La combinazione di questi 2 effetti fa sì che il tempo che intercorre dall'inizio del processo alla fine può essere considerevole, anche di qualche μsec .

Per minimizzare questo inconveniente sono stati introdotti i così detti transistori Schottky che sono caratterizzati dall'aver un diodo Schottky, D_s , connesso tra base e collettore.

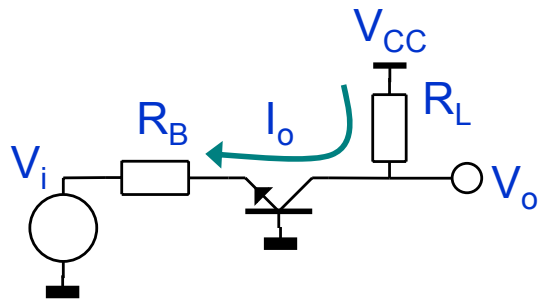


Siccome V_D è circa di 0.2 V la condizione di saturazione è evitata perché quando la tensione V_o tende a divenire minore di $V_{BE} - V_D$ il diodo Schottky entra in conduzione sottraendo corrente dalla base per fornirla al terminale di C e E. Si ha una sorta di meccanismo di reazione negativa.

La tensione V_o non può scendere a 0 V, ma rimane comunque sufficientemente bassa da segnare il valore logico richiesto

Connessione a C comune e B comune

Nella connessione a E comune il terminale di C si comporta come un generatore di corrente. Si potrebbe mantenere questa stessa tipologia di comportamento con un guadagno di corrente unitario, B comune:

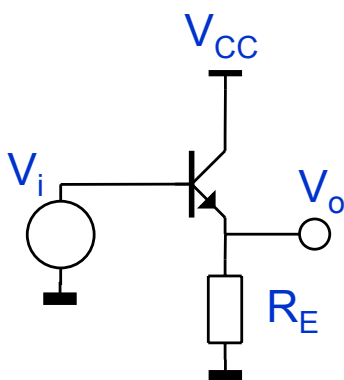


Qui abbiamo che $I_o = I_C \approx I_E$

Dal momento che il guadagno di corrente è unitario l'uscita dallo stato di saturazione è veloce. Lo scotto che si paga è che la corrente di pilotaggio è elevata.

Questo tipo di soluzione si adotta per compiere traslazioni di livello.

La configurazione che svolge un ruolo diverso è quella a C comune. In questo caso, essendovi una dipendenza esponenziale tra corrente di C e V_{BE} , si ha una piccola variazione tra V_i e V_o anche per grosse escursioni del segnale: il rapporto tra V_o e V_i si mantiene circa costante al valore unitario. La configurazione mostra un guadagno 1: la configurazione è reazionata.

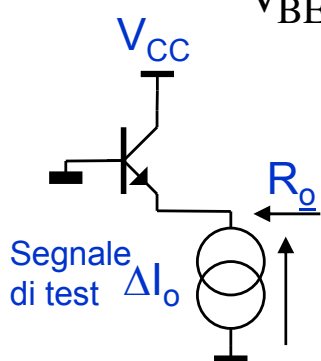


Esempio: supponiamo che V_o vari tra 0.1 V e 4.5 V e R_E sia 1000 Ω . La variazione di corrente di collettore è 4.4 mA.

Abbiamo che:

$$\Delta V_{BE} = \frac{KT}{q} \ln \left(\frac{I_{FIN}}{I_{INI}} \right) \approx 0.1 \text{ V}$$

Ovvero: $\frac{\Delta V_{BE}}{V_{BE}} \approx 16\%$ su di una escursione del segnale di uscita di 4.4 V.



Cerchiamo di valutare R_o :

$$R_o \Delta I_o = \Delta V_o = \frac{KT}{q} \frac{1}{\beta I_{B0}} \Delta I_o = \frac{KT}{q I_E} \Delta I_o$$

Quindi:
$$R_o = \frac{KT}{q I_E} = \frac{V_T}{I_E}$$

La logica TTL 1

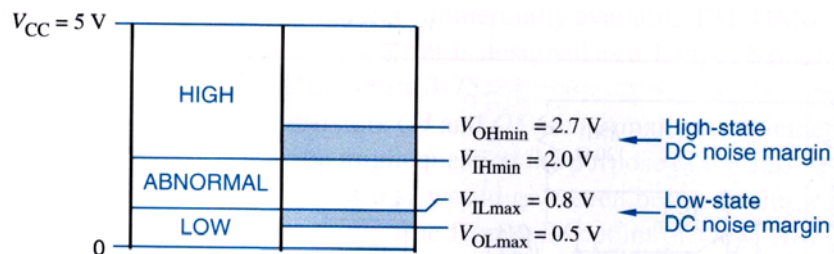
Un circuito logico deve operare per essere in grado di discriminare tra 2 stati in modo non ambiguo: 0 e 1.

Tuttavia abbiamo da considerare l'operazione di componenti attivi che lavorano agli estremi delle loro caratteristiche.

Pertanto non si può certamente pretendere che i 2 livelli logici corrispondano a 2 precisi valori di tensione.

Piuttosto dovremmo considerare una coppia di intervalli di tensione che possano essere i maggiori candidati.

Esistono differenti tipologie logiche: TTL, CMOS, ECL, ecc. ognuna avente caratteristiche particolari riguardanti la velocità, la dissipazione, ecc. Ciò che è importante tenere in conto quando si considera il passaggio tra una logica e l'altra sono appunto i differenti intervalli di riconoscimento dei 2 livelli logici.



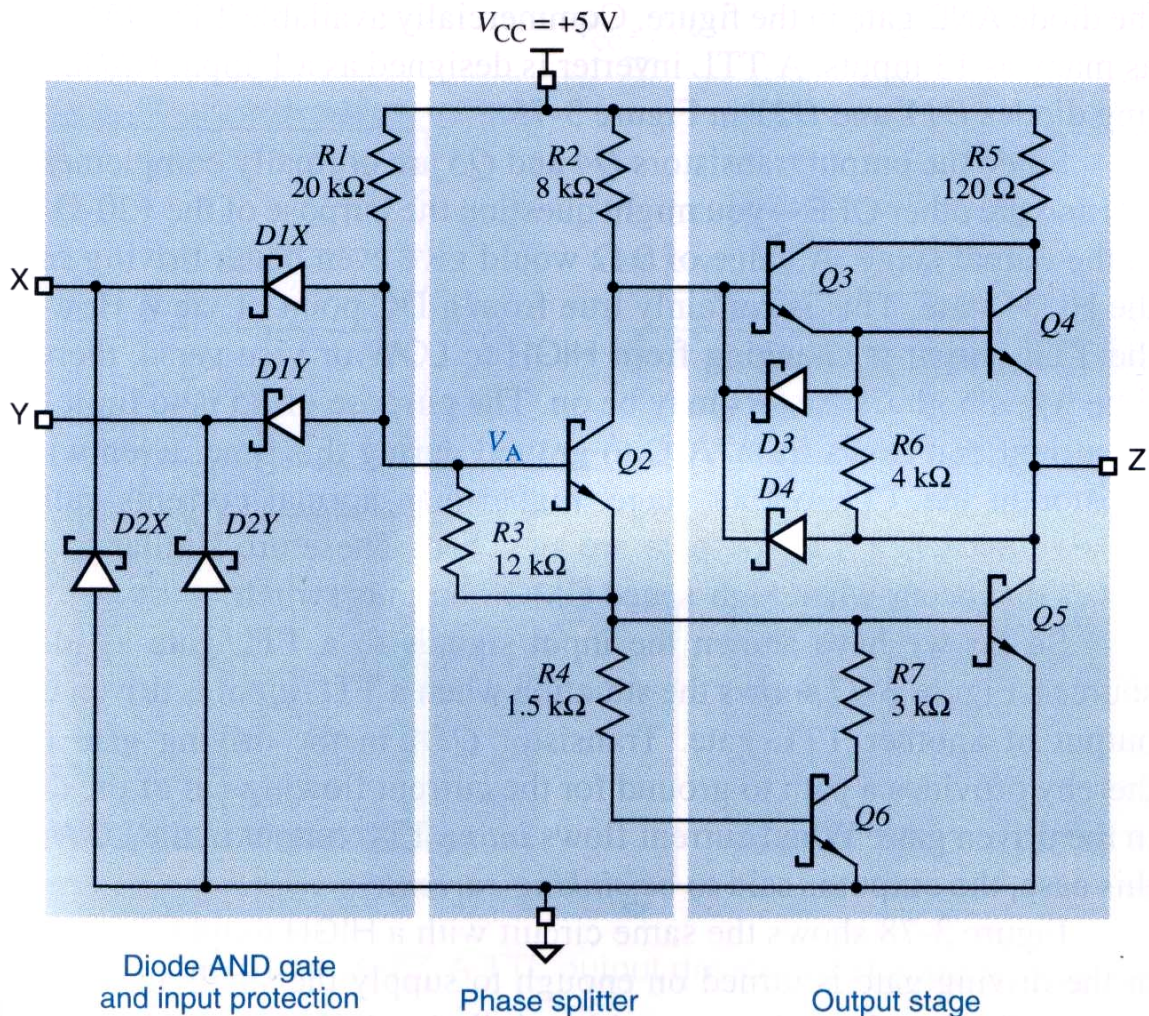
I circuiti TTL utilizzano transistori bipolari. Le loro soglie si devono confrontare con la tensione di funzionamento di una giunzione B-E, 0.7 V.

Di fatto la soglia bassa di un circuito TTL si confronta con $2V_{BE}$ e viene indicata a 0.8 V.

La soglia alta si confronta anch'essa con $2V_{BE}$ e per dare ulteriore margine viene indicata a circa 2 V.

La soglia fissata a $\pm V_{BE}$ rispetto al valore di paragone di $2V_{BE}$ consente un buon margine di rumore. Se si sta entro i termini stabiliti non si incorre in nessuna interpretazione non desiderata del segnale di ingresso.

La logica TTL 2



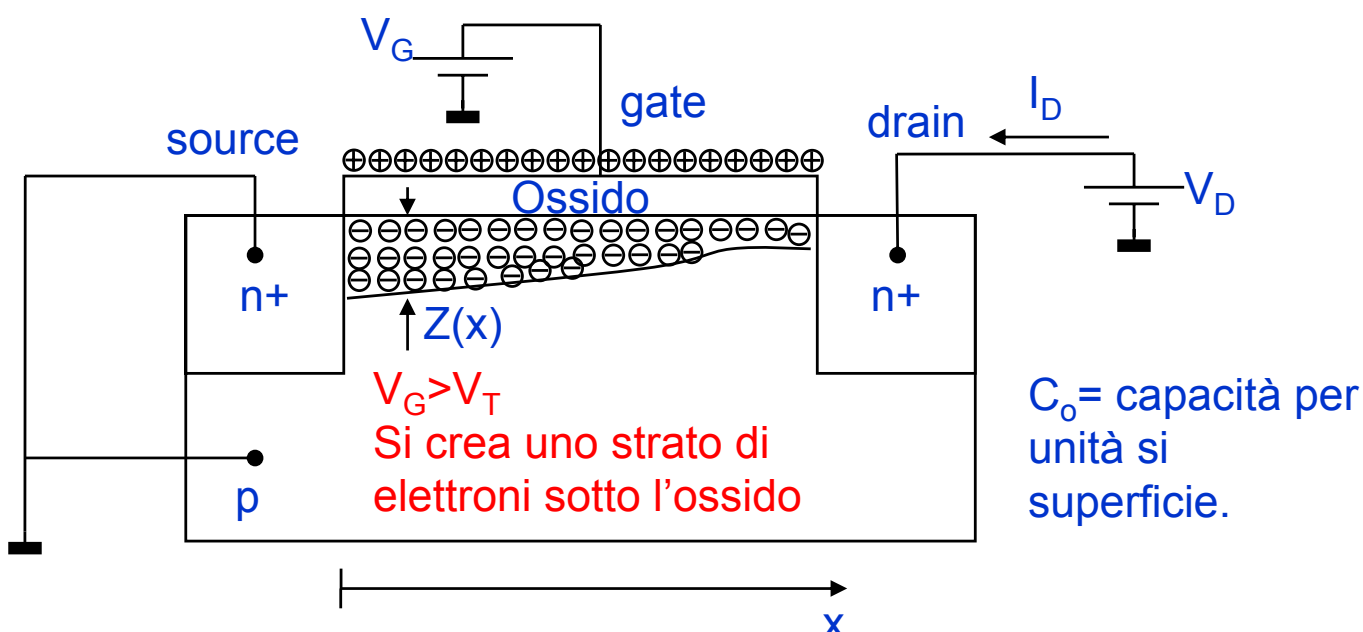
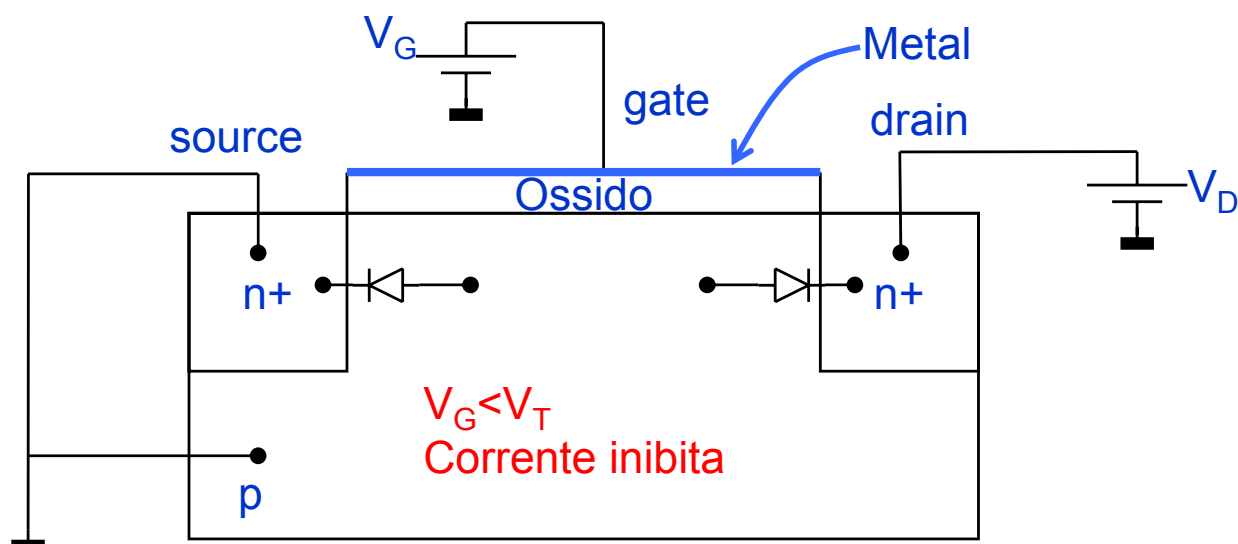
Le soglie di ingresso si determinano considerando il comportamento di Q_2 , Q_5 e D_{1X} e D_{1Y} .

La tensione di uscita nello stato basso coincide con la tensione di saturazione di Q_5 a meno del fatto che è un tr. Schottky. Quindi sarà circa compresa tra 0.4 V e 0.5 V.

La tensione di uscita nello stato alto al massimo coincide con $V_{CC} - 2V_{BE}$, circa 3.8 V. Il livello minimo dipende dall'assorbimento del carico. Tale livello è limitato dalla resistenza R_2 . In genere la tensione di uscita difficilmente scende sotto i 2.7 V. Quando V_o è 2.7 V la tensione di collettore di Q_3 è circa 3.8 V che equivale ad una corrente erogata di circa 10 mA, estremamente elevata.

Si osserva che i transistori bipolari esistono nelle 2 forme: npn e pnp, aventi comportamento complementare nel verso delle correnti.

I transistori MOS 1



La densità di carica che si crea sotto l'ossido in x è proporzionale alla capacità:

$$\rho(x) \approx \frac{C_o}{qZ(x)} (V_{GS} - V_T - V(x)), \quad Z(x) = \text{altezza dello strato in } x$$

La soglia V_T dipende ovviamente dal drogaggio P del substrato, tanto più è elevato tanto più risulterà alto V_T .

La corrente I_D risulterà proporzionale alla densità ρ (v =velocità portatori):

$$I_D = q\rho(x)WZ(x)v = q\rho(x)WZ(x)\mu \frac{dV(x)}{dx}$$

W = larghezza del canale. Direzione ortogonale al flusso di corrente (ortogonale al foglio nello schizzo sopra);

dx , L = direzione parallela al flusso di corrente e lunghezza di gate, ovvero distanza tra Source e Drain.

I transistori MOS: saturazione per campo elettrico (gate corto)

La funzione da integrare è:

$$I_D \approx C_o W (V_{GS} - V_T - V(x)) \mu \frac{dV}{dx}$$

Considerato che I_D è costante e separando le variabili si ottiene:

$$I_D \approx \mu C_o \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS}$$

Si fronteggiano 2 casi pratici. Il caso oramai più frequente è che la lunghezza di gate L sia corta. In questo caso il campo elettrico applicato può essere elevato anche per bassi valori di tensione V_{DS} .

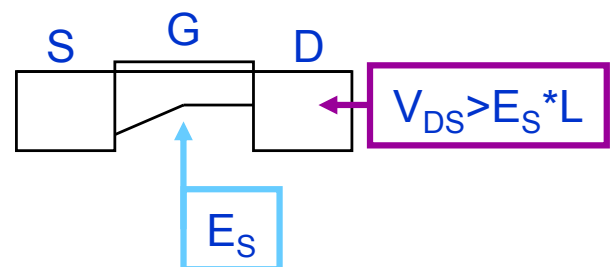
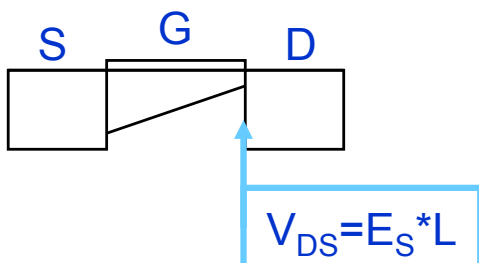
Tale circostanza pone una limitazione alla mobilità che satura divenendo inversamente proporzionale al campo elettrico stesso.

La velocità $v = \mu E$ soddisfa quindi:

$$\mu \approx \frac{\mu_o}{1 + (E/E_S)} \quad \text{e} \quad v_{SAT} \approx \mu_o E_S$$

Se $V_{DS_SAT} = E_S * L$ è la tensione limite otteniamo che:

$$I_D = \mu_o C_o W E_S \left(V_{GS} - V_T - \frac{E_S L}{2} \right)$$



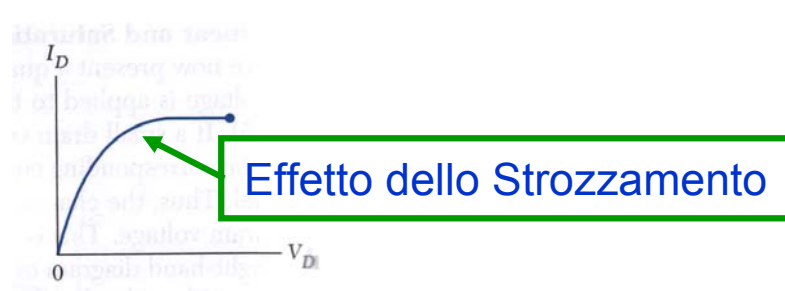
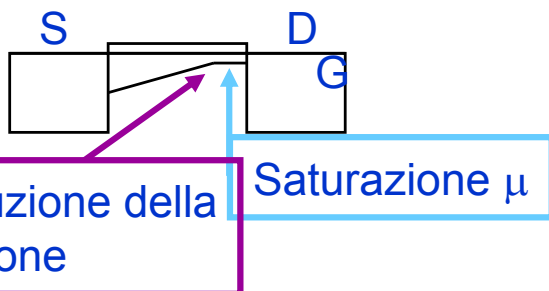
I transistori MOS: saturazione per strozzamento (gate lungo) 1

All'aumentare di V_{DS} aumenta la corrente, però contemporaneamente diminuisce anche la ddp tra gate e canale verso il Drain. La conseguenza è che lo strato di elettroni si assottiglia.

Il campo elettrico nella zona di assottigliamento dovrebbe soddisfare:

$$\mu E = \frac{I_D}{q\rho(x)WZ(x)} \xrightarrow{Z(x) \rightarrow 0} \infty$$

Poiché la sezione trasversale alla direzione della corrente si riduce per via dell'assottigliamento. Quello che si verifica in realtà è che la mobilità μ smette di essere costante e viene a dipendere dall'inverso di E , come nel caso precedente: si ha la saturazione e la corrente smette di aumentare. Il canale verso il drain rimane aperto quel po' che basta a fare scorrere la corrente ed a mantenere la mobilità satura.



Nel caso in cui il gate sia lungo la saturazione la otteniamo per effetto "meccanico": la sezione diviene piccola verso il drain imponendo un innalzamento del campo parallelo al canale.

Una volta verificatosi lo strozzamento valori più elevati del potenziale V_D modificano poco il livello della corrente. Quello che si ottiene è uno spostamento del punto di strozzamento verso il source.

La corrente allora aumenta solo un pochino perché la lunghezza di gate effettiva si riduce.

I transistori MOS: saturazione per strozzamento (gate lungo) 2

La condizione di saturazione a gate lunghi la si può descrivere all'occorrenza della "chiusura" del canale al drain:

$$V_{DSsat} \approx V_{GS} - V_T$$

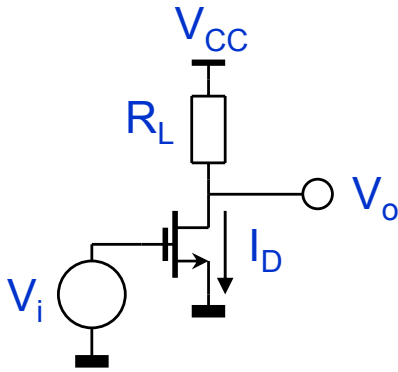
Sostituendo nell'espressione di I_D :

$$I_D \approx \mu \frac{W}{2L} C_o (V_{GS} - V_T)^2$$

La prima considerazione importante è che la corrente del canale dipende o quadraticamente o linearmente dalla tensione di controllo, V_{GS} . Nei tr. Bipolari la dipendenza è esponenziale. Questo fa sì che i transistori bipolari mostrano un guadagno che è più elevato dei MOS.

In compenso il dispositivo MOS è pilotato puramente con una tensione e non è necessaria nessuna corrente di ingresso per potere fare funzionare il dispositivo. I MOS non necessitano di una resistenza in serie al gate per limitare la corrente nello stato di ON: la dissipazione di potenza di un MOS è in genere minore che con i tr. Bipolari nei circuiti digitali.

I transistori MOS 3



$$V_o = V_{CC} - I_D R_L = V_{CC} - \mu \frac{W}{2L} C_o (V_i - V_T)^2 R_L$$

$$v_o = -i_D R_L = -g_m R_L v_i$$

$$g_m = \sqrt{\frac{\mu W C_o}{L} I_D}$$

Se chiamiamo I_{DM} la corrente che si ha per $V_i = 2V_T$, risulta:

$$I_{DM} = \frac{\mu W C_o}{2L} V_T^2$$

Per cui la trasconduttanza assume: $g_m = \frac{1}{V_T} \sqrt{I_{DM} I_D}$

V_T è in genere dell'ordine del V. Confrontiamo con la trasconduttanza di un tr. Bipolare:

$$g_m = \frac{q I_C}{K T} = \frac{I_C}{V_{TH}}$$

dove $V_{TH} = 26 \text{ mV}$ a $T = 300 \text{ K}$.

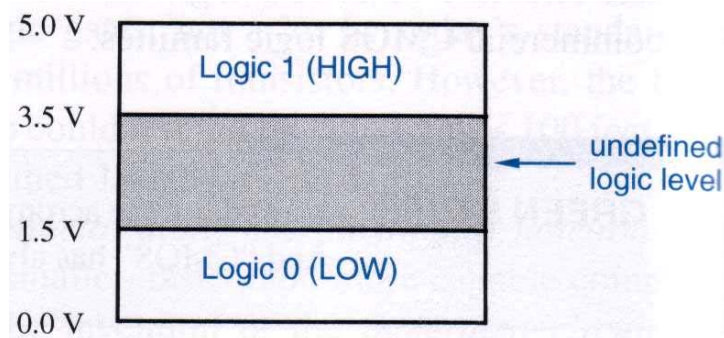
$$\frac{g_{m_bipolare}}{g_{m_MOS}} \div 40$$

Però se risultasse $I_D R_L > V_{CC}$ l'uscita V_o potrebbe comodamente assumere un valore prossimo a zero senza che dall'ingresso risultasse necessario iniettare alcuna corrente. Inoltre la condizione $V_{DS} = 0$ non implicherebbe nessuna particolare condizione nel canale del MOS. Pertanto l'uscita dalla condizione $V_{DS} = 0$ non implica particolari rallentamenti nella risposta del MOS.

Invero i tr. MOS si prestano in modo abbastanza canonico ai circuiti digitali.

La logica CMOS 1

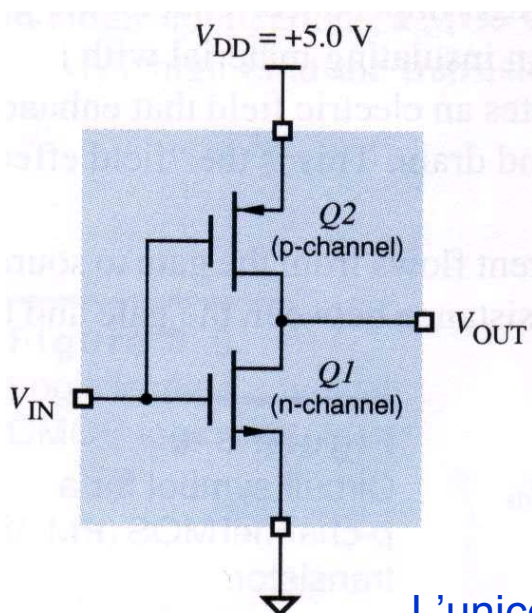
La soglia V_T di un MOS dipende dal processo di fabbricazione. Nei CMOS a 5 V è sensibilmente differente che per la logica TTL:



Di conseguenza il mischiare dispositivi in logica CMOS con dispositivi in logica TTL va fatto con molta cautela.

I MOS tr. Si prestano in modo molto naturale alla realizzazione di circuiti logici:

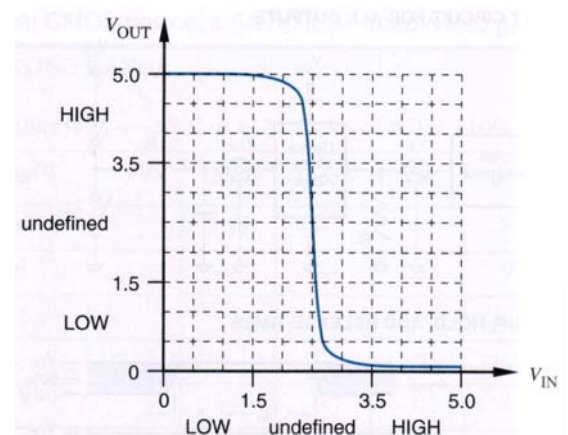
Il circuito più semplice è l'invertitore che si può realizzare con solo 2 MOS senza la necessità che vi sia presente alcuna resistenza:



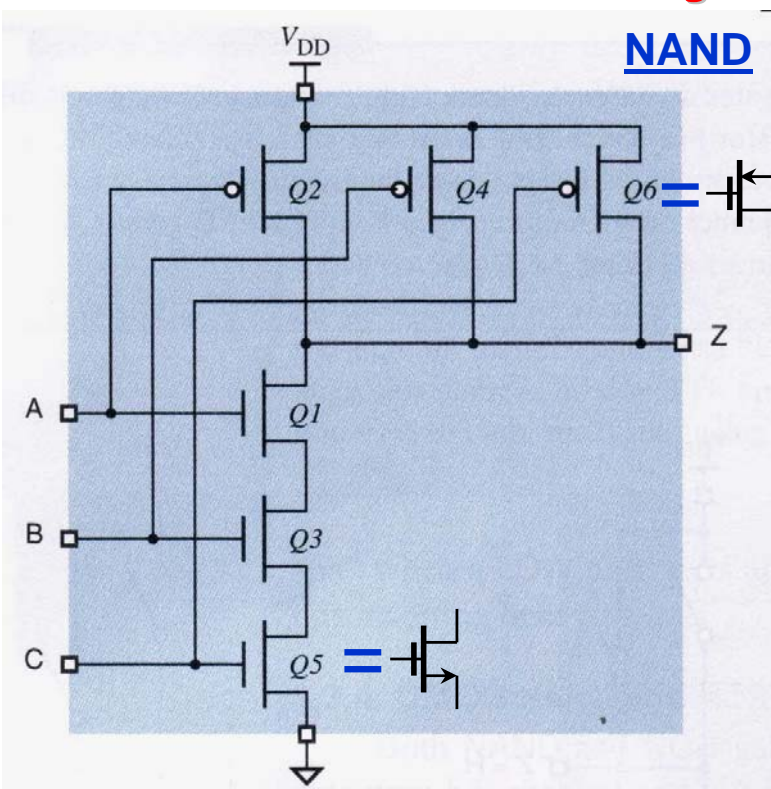
Quando V_{IN} è alto il NMOS è in regime ohmico, mentre il PMOS risulta spento. La corrente assorbita dalla porta è nulla.

Nel caso opposto, V_{IN} basso, è il PMOS ad essere in regime ohmico, mentre lo NMOS è spento. Anche qui l'assorbimento di corrente della porta è nullo. Nei 2 stati la corrente può solo essere assorbita da un carico connesso all'uscita.

L'unico momento in cui la porta assorbe corrente di proprio è durante la commutazione, per un breve intervallo di tempo



La logica CMOS 2

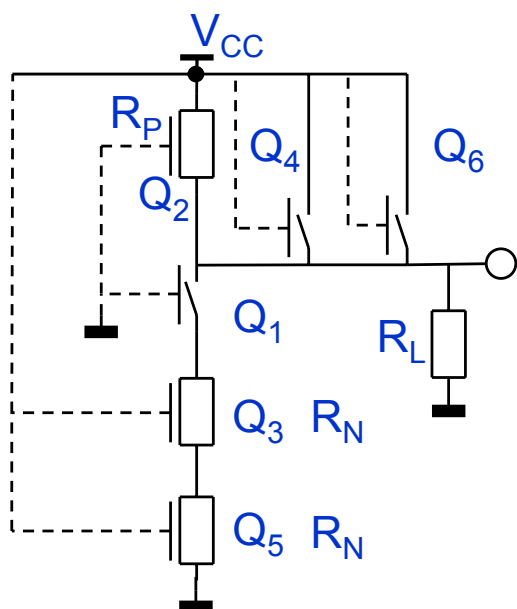


L'implementazione circuitale delle porte logiche in tecnologia CMOS è molto compatta. Questo ha determinato il loro successo.

Una porta NAND a 3 ingressi si realizza con solo 6 MOS, senza l'ausilio di resistori.

Cominciamo a vedere qualche definizione:
il fan-in

Di principio al circuito sopra dovrei potere aggiungere ingressi. Basterebbe inserire una coppia di MOS complementari. In realtà dal punto di vista del buon funzionamento le cose vanno tutte bene fino a che non si hanno tutti gli ingressi alti, ovvero i MOS n sono tutti, o almeno uno, chiusi

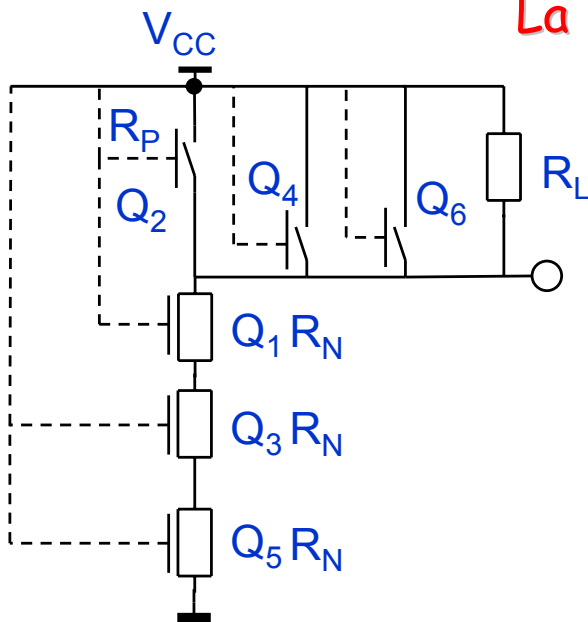


I MOS accesi sono quelli che operano in regime Ohmico.

Nelle 2 resistenze di canale R_N non scorre corrente perché Q_1 è aperto.

La corrente scorre solo in R_P visto che Q_2 è chiuso. Se avessimo altri MOS p chiusi la condizione sarebbe ancora meglio perché le resistenze R_P sarebbero tutte in parallelo e la corrente nel carico potrebbe essere adeguata..

La logica CMOS 3



La cosa diventa critica quando tutti gli ingressi sono alti. In questo caso la presenza di un carico verso l'alimentazione positiva può determinare una partizione che potrebbe alzare troppo il potenziale di uscita.

$$\text{Da: } I_D \approx \mu C_o \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS}$$

Per V_{DS} piccole, tipiche dei regimi ohmici, l'impedenza R_N risulta:

$$R_N \approx \frac{1}{\mu C_o} \frac{L}{W} \frac{1}{(V_{GS} - V_{TN})} = \frac{1}{k_m} \frac{L}{W} \frac{1}{(V_{CC} - V_{TN})}, \quad V_{TN} = \text{soglia del MOSN}$$

La quantità $k_m = \mu C_o$ è un parametro tecnologico. R_N può essere resa piccola predisponendo larghezze adeguate, o piccole lunghezze, o tensioni applicate elevate.

Non tutti questi parametri sono liberi. Infatti gate troppo corti pongono limiti sulla massima tensione applicata per via del campo elettrico sopportabile.

Considerando larghezze W elevate si occupa area e si introducono elementi capacitivi parassiti che possono limitare le velocità di transizione. Inoltre si aumenterebbe la corrente assorbita durante le commutazioni.

Per esempio per $k_m = 30 \mu A/V^2$ $W/L=1$ e $V_{TN}=1$ V si ottiene:

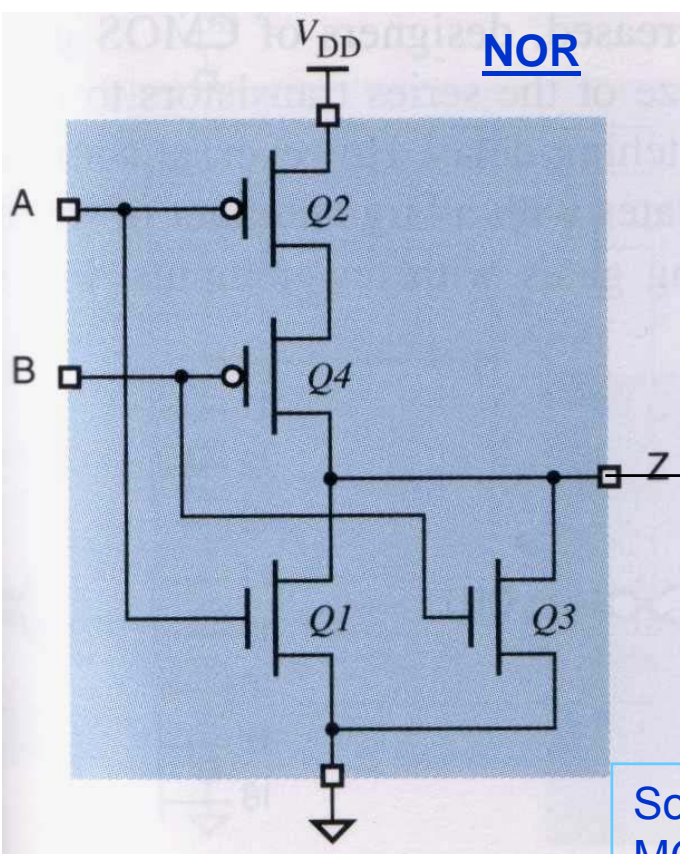
$$R_N = 16.6 \text{ K}\Omega$$

Mentre per $W/L=10$ R_N risulta 10 volte minore: $R_N = 1.6 \text{ K}\Omega$.

La logica CMOS 4

Per cercare di ottimizzare e velocizzare il circuito si adotta una tecnica mista. Ovvero si usano MOS a piccola area all'interno del circuito dove le impedenze di carico sono note: possono essere solo gate. In questo modo viene consentita una maggiore elasticità nel numero di ingressi alle porte.

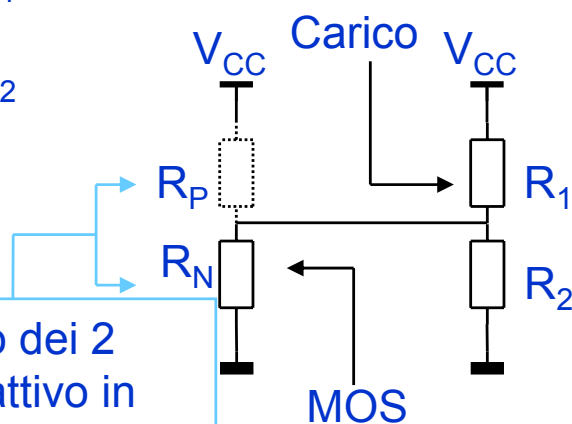
I terminali di uscita della rete vengono fatti pilotare da MOS di grande area, aventi impedenza in regime ohmico sufficientemente bassa. Qui si entra nel discorso del fanout, ovvero quante porte il circuito può pilotare?



NOR

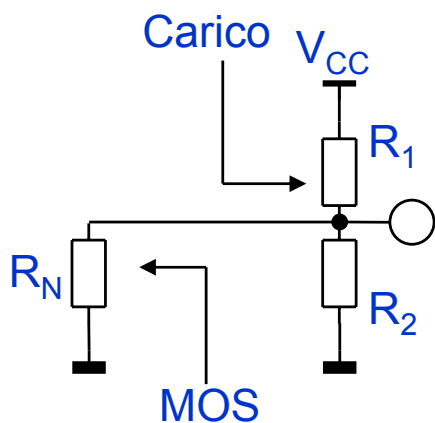
Supponiamo per genericità che l'impedenza di uscita sia connessa verso massa e verso V_{CC} .

Possiamo modellizzare sia il circuito di uscita che il carico connesso.



Solo uno dei 2 MOS è attivo in condizioni statiche

Supponiamo l'uscita bassa, $V_{CC}=5\text{ V}$, $R_1=1\text{ K}\Omega$ e $R_2=3\text{ K}\Omega$ e sia $R_N=500\text{ }\Omega$



$$R_E = \frac{R_2 R_N}{R_2 + R_N} = 428.6\text{ }\Omega$$

$$V_o = \frac{R_E}{R_E + R_1} V_{CC} = 1.5\text{ V}$$

La tensione di uscita è al limite della soglia di rispetto tra stato basso e stato alto.

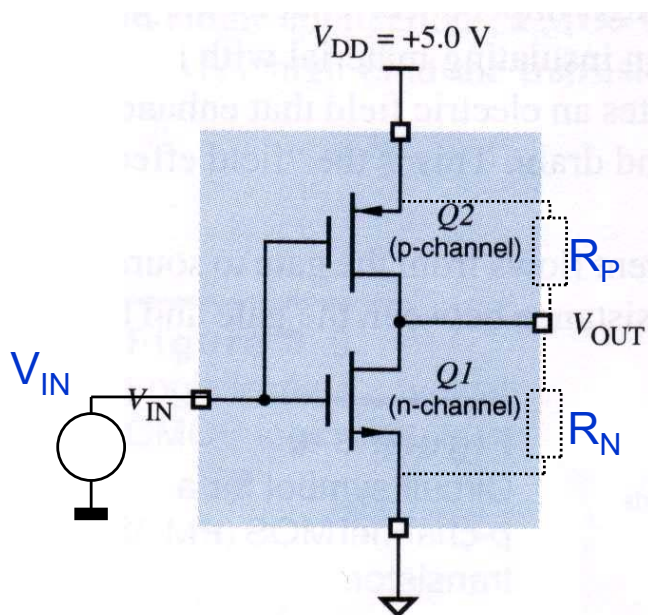
La logica CMOS 5

Gli effetti delle impedenze di carico si traducono in un livello della tensione di uscita che si discosta da quello agli estremi.

Questo fenomeno ha un doppio effetto: da un lato c'è pericolo che il livello in considerazione sconfini nello stato logico indesiderato. Dall'altra parte può provocare un incremento della potenza dissipata che potrebbe essere non trascurabile.

Infatti se l'ingresso da V_{DD} si abbassa si ha che la R_N aumenta, ma diminuisce la R_P del MOS da un valore molto elevato. Vale a dire che i 2 MOS entrano entrambi in conduzione.

ESEMPIO:



Parametri:

$$V_{CC} = 5 \text{ V} \quad \frac{W}{L} = 100 \quad k_m = 30 \mu\text{A}/\text{V}^2$$

$$V_{TN} \approx |V_{TP}| \approx 1 \text{ V}$$

Se $V_{IN} = V_{DD}$:

$$R_N \approx \frac{1}{k_m} \frac{L}{W} \frac{1}{(V_{DD} - V_{TN})} \approx 83 \Omega$$

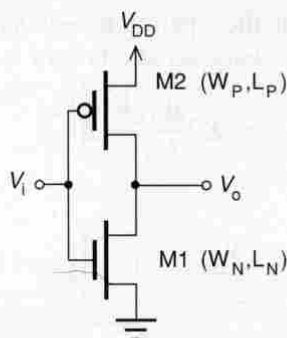
$$R_P > M\Omega$$

(R_N ed R_P sono le resistenze dinamiche di uscita, pensate connesse tra Drain e Source del MOS N e del MOS P, rispettivamente)

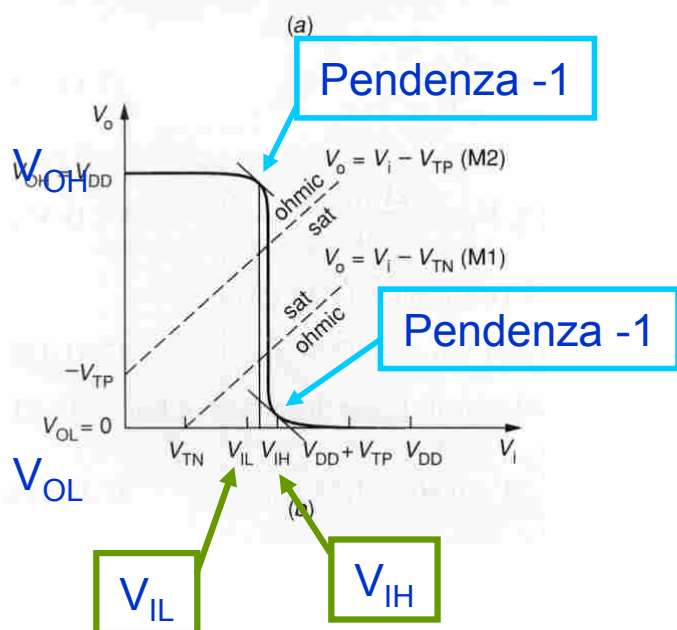
Se $V_{IN} = 3.5 \text{ V}$:

$$\left. \begin{aligned} I_D &\approx \frac{W}{2L} k_m (-1.5 \text{ V} - V_{TP})^2 = 0.375 \text{ mA} \\ R_N &\approx \frac{1}{k_m} \frac{L}{W} \frac{1}{(3.5 \text{ V} - V_{TN})} \approx 133 \Omega \end{aligned} \right\} \begin{aligned} &V_{OUT} \text{ diviene circa } 50 \text{ mV, ma la} \\ &\text{potenza dissipata dalla porta è di} \\ &\text{ben } 1.9 \text{ mW!} \end{aligned}$$

La logica CMOS 6



Un parametro fondamentale nei circuiti logici è il margine di rumore. Ovvero la massima tolleranza che si può avere in ingresso sulla soglia alta o bassa perché il segnale non venga giudicato per compiere la transizione nello stato sbagliato.



Il punto critico nella transizione si ha quando la pendenza nelle caratteristiche assume un valore di -1 . Nelle 2 parti piatte la pendenza è < -1 perché il guadagno è basso. Lì le fluttuazioni di rumore non sono importanti. Dove la pendenza diviene > -1 , nella parte ripida, il guadagno diviene elevato e piccole fluttuazioni del segnale portano a possibili cambiamenti di stato.

Il punto a pendenza -1 , nei pressi di V_{OH} , si trova ad una tensione in cui il MOS P è in regime Ohmico, mentre il MOS N è in regime saturo. La corrente di canale dei 2 MOS deve essere la stessa per cui varrà:

$$K'_N \frac{W_N}{L_N} \frac{(V_i - V_{TN})^2}{2} = K'_P \frac{W_P}{L_P} \left(V_i - V_{DD} - V_{TP} - \frac{V_o - V_{DD}}{2} \right) (V_o - V_{DD}) \quad (7.11-21)$$

Detto: $x = \frac{K'_N}{K'_P} \frac{W_N}{L_N} \frac{L_P}{W_P}$ si può esprimere V_o in funzione di V_i :

$$V_o = V_i - V_{TP} - \sqrt{(V_i - V_{TP})^2 - 2V_{DD}(V_i - V_{TP} - V_{DD}/2) - x(V_i - V_{TN})^2}$$

Quindi possiamo determinare la tensione V_{IL} imponendo che $dV_o/dV_i = -1$ e supponendo di essere nel caso di comportamento simmetrico, vale a dire $x=1$:

$$V_{IL} = \frac{3V_{DD} + 3V_{TP} + 5V_{TN}}{8}$$

La logica CMOS 7

Allo stesso modo possiamo trovare V_{IH} , la tensione di ingresso che fornisce la pendenza -1 nello stato basso:

$$K'_N \frac{W_N}{L_N} \left(V_i - V_{TN} - \frac{V_o}{2} \right) V_o = K'_P \frac{W_P}{L_P} \frac{(V_i - V_{DD} - V_{TP})^2}{2}$$

Con che, posto, $y = \frac{K'_P}{K'_N} \frac{W_P}{L_P} \frac{L_N}{W_N}$ si riottiene:

$$V_o = V_i - V_{TN} - \sqrt{(V_i - V_{TN})^2 - y(V_i - V_{DD} - V_{TP})^2}$$

quindi in caso di comportamento simmetrico con $y=1$:

$$V_{IH} = \frac{5V_{DD} + 5V_{TP} + 3V_{TN}}{8} \quad (y=1)$$

Assumendo $V_{CC}=5$ V e $V_{TN}=|V_{TP}|=1$ V e considerando che il margine di rumore è la differenza tra il livello aspettato per lo stato e il livello limite calcolato:

$$NM_L = V_{IL} - V_{OL} = 2.125 - 0 = 2.13 \text{ V}$$

$$NM_H = V_{OH} - V_{IH} = 5.00 - 2.875 = 2.13 \text{ V}$$

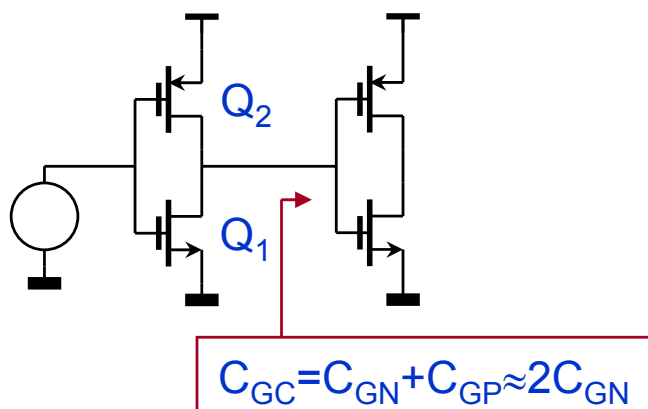
In particolare:

$$V_{IH} - V_{IL} = 2.875 - 2.125 = 0.75 \text{ V}$$

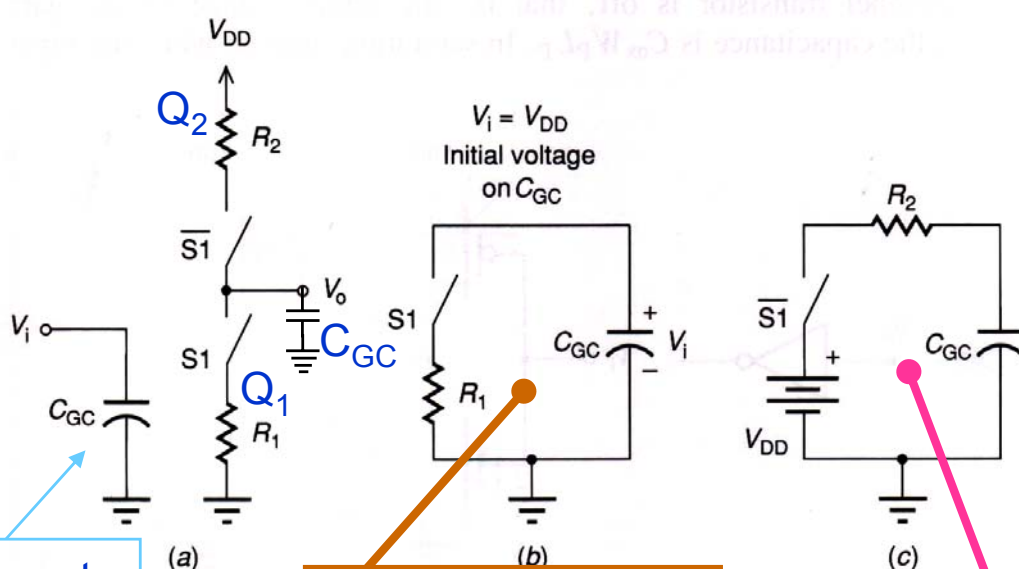
La logica CMOS 8

Fino ad ora non abbiamo considerato l'aspetto dinamico dei transistori e delle connessioni: la presenza delle capacità.

Il comportamento dinamico del MOS è descrivibile essenzialmente a partire dalla capacità data dalla regione di gate sovrastante il canale: $C_{GN} = C_o WL$



Come prima approssimazione possiamo considerare che il processo di caricamento della capacità di ingresso dello stadio di uscita avvenga solo dopo che il MOS di ingresso abbia già commutato, trovandosi quindi nella sua regione ohmica:



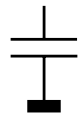
L'input di questa porta è simile al carico presente alla sua uscita.

Commutazione dallo stato alto allo stato basso

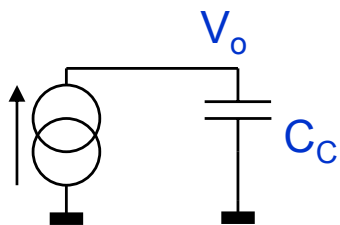
Commutazione dallo stato basso allo stato alto

Sulla capacità di carico abbiamo una condizione iniziale da tenere in considerazione.

La logica CMOS 9



Supponiamo di avere un condensatore avente capacità C_C e carica iniziale q_o . Equivalentemente la tensione ai capi di C_C risulta $V=q_o/C_C$.



Volendo rappresentare il circuito dall'istante detto $t=0$ in poi utilizziamo il circuito a fianco dove $I=V_{OO} \cdot C_C \cdot \delta(t)$. Nel dominio delle frequenze si ha:

$$V_O(\omega) = \frac{1}{sC_C} V_{OO} C_C = \frac{V_{OO}}{s} \quad \text{ovvero:}$$

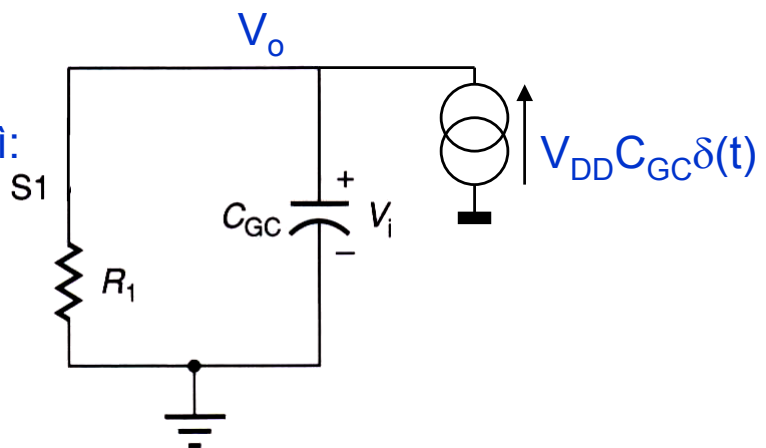
$$V_O(t) = V_{OO} 1(t)$$

Quindi la commutazione dallo stato alto allo stato basso la vediamo così:

$$V_{DD} C_{GC} = \frac{V_o}{R_1} + s C_{GC} V_o$$

$$V_{DD} C_{GC} = \left(\frac{1 + s C_{GC} R_1}{R_1} \right) V_o$$

$$V_o = \frac{1}{s + \frac{1}{C_{GC} R_1}} V_{DD}$$



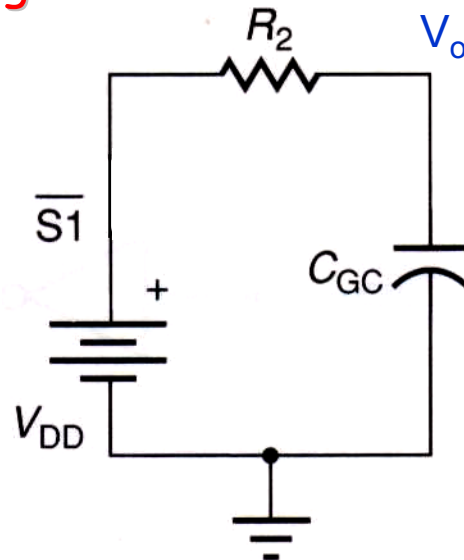
$$\text{Ovvero: } V_o = V_{DD} \exp\left(-\frac{t}{C_{GC} R_1}\right) 1(t)$$

Perciò la costante di tempo di carica/scarica è:

$$\begin{aligned} \tau = R_1 C_{GC} &= \frac{L_N}{k_{mN} W_N (V_{DD} - V_{TN})} C_o (W_N L_N + W_P L_P) \\ &= \frac{L_N^2 C_o}{k_{mN} (V_{DD} - V_{TN})} \left(1 + \frac{W_P L_P}{W_N L_N} \right) \end{aligned}$$

La logica CMOS 10

Nel caso la commutazione sia fra lo stato basso e lo stato alto la carica iniziale sulla capacità risulta trascurabile. Perciò abbiamo che:



Inizialmente C_{GC} è scarica

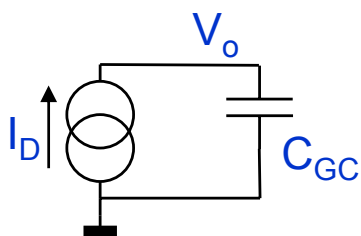
$$V_o = \frac{1}{1 + sC_{GC}R_2} \frac{V_{DD}}{s} = \frac{1}{C_{GC}R_2} \frac{1}{s\left(s + \frac{1}{C_{GC}R_2}\right)} V_{DD}$$

Che fornisce nel dominio del tempo:

$$V_o = V_{DD} \left[1 - \exp\left(-\frac{t}{C_{GC}R_2}\right) \right] 1(t)$$

Avendo uniformato la risposta del MOS P e del MOS N la costante di tempo rimane uguale al caso precedente.

Possiamo cercare di caratterizzare il tempo di transizione anche nel caso estremo in cui si approssima sempre in regime di saturazione il MOS:



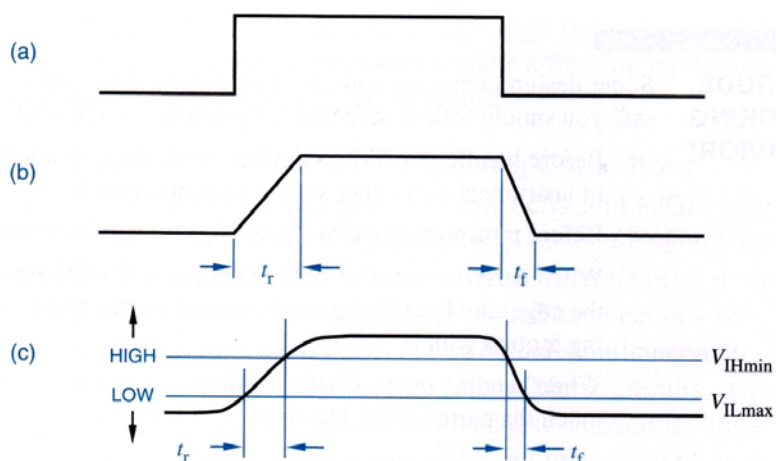
Transizione dallo stato basso allo stato alto:

$$I_D \approx \frac{W}{2L} k_{mP} (V_{DD} - V_{TP})^2$$

$$V_o = \frac{I_D}{s} \frac{1}{sC_{GC}} \Rightarrow V_o = \frac{I_D}{C_{GC}} t$$

Ma $V_o = V_{DD}$ quando:
$$t_D = \frac{C_{GC}}{I_D} V_{DD} = \frac{2L_N V_{DD} C_{GC}}{W k_{mP} (V_{DD} - V_{TP})^2} \approx 2\tau$$

La logica CMOS 11



L'impiego di un tempo finito nel compiere la transizione determina che il segnale ideale che commuta in un tempo trascurabile come in (a) viene ad avere un tempo di salita e discesa finiti come in (c), che viene approssimato lineare in (b) per semplicità.

Il tempo di salita t_r (discesa, t_f) è definito come il tempo che il segnale impiega a passare dal 10 % al 90 % della transizione. Alcune volte si considera la transizione dal 20 % all'80 %. Questo tempo è possibile metterlo in relazione alla costante di tempo τ calcolata.

Consideriamo il segnale che deve compiere la transizione mediante la curva esponenziale:

$$V_o = V_{DD} \left[1 - \exp\left(-\frac{t}{\tau}\right) \right]$$

Consideriamo quindi i 2 istanti a cui V_o uguaglia un valore α ed uno $\beta > \alpha$:

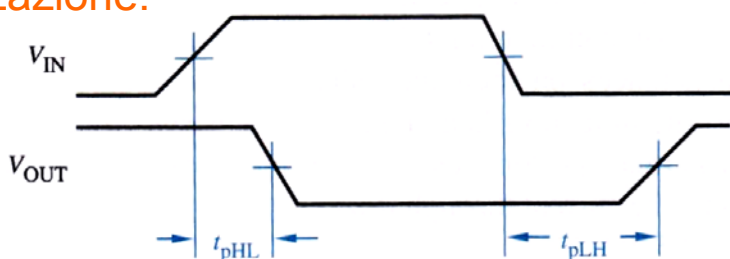
$$V_o(t_\alpha) = \alpha V_{DD} \quad \text{e} \quad V_o(t_\beta) = \beta V_{DD}$$

si ottiene:

$$t_r = \tau \ln\left(\frac{1-\alpha}{1-\beta}\right) = \begin{cases} 2.2\tau & \text{se } \alpha = 0.1 \text{ e } \beta = 0.9 \\ 1.4\tau & \text{se } \alpha = 0.2 \text{ e } \beta = 0.8 \\ 0.85 & \text{se } \alpha = 0.3 \text{ e } \beta = 0.7 \end{cases}$$

(lo stesso dicasi per il tempo di discesa, fault time).

Va infine osservato che la connessione in cascata di più porte aventi tutte un tempo finito di transizione porta al fenomeno del ritardo, Delay, una traslazione temporale del segnale che in certe situazioni potrebbe fare incorrere in errori di sincronizzazione.

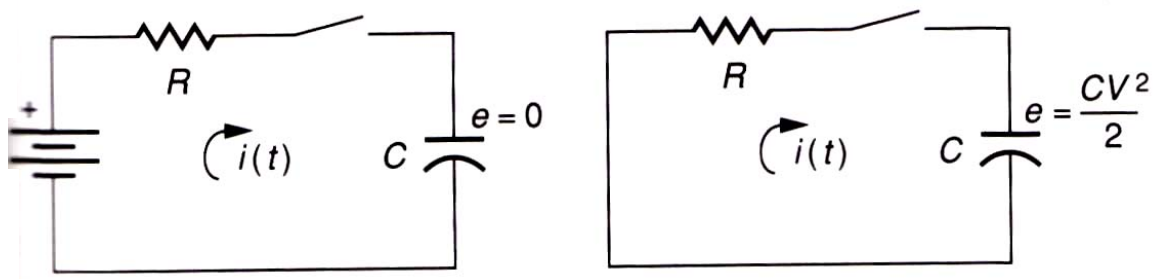


La logica CMOS 12

La potenza statica dissipata da un circuito CMOS è nulla. Solo durante le transizioni si ha assorbimento di corrente che determina dissipazione.

Sono 2 le ragioni che determinano assorbimento di corrente durante una qualsiasi fase di commutazione.

Durante la fase in cui l'ingresso alla porta CMOS compie la transizione dallo stato in cui si trova allo stato opposto, esiste un momento in cui entrambi i MOS P ed N conducono contemporaneamente, assorbendo corrente. Questa causa di dissipazione è trascurabile rispetto alla seconda causa di dissipazione che riguarda il caricamento o scaricamento delle capacità della (o delle) porta logica posta in cascata.



Se dobbiamo portare da basso ad alto il segnale di uscita dobbiamo fornire una corrente:

$$i(t) = \frac{V_{DD}}{R} \exp\left(-\frac{t}{RC}\right) 1(t)$$

L'energia spesa dal generatore per fornire la corrente è:

$$U = \int_0^{\infty} V_{DD} i(t) dt = V_{DD}^2 C$$

Metà di questa energia viene immagazzinata dal condensatore, l'altra metà viene dissipata nel resistore, indipendentemente dal suo valore. Se però consideriamo anche il processo di scaricamento della capacità otteniamo che l'energia immagazzinata e dissipata è proporzionale a quella indicata. Se la frequenza a cui avviene questo processo è f abbiamo che la dissipazione della porta diviene:

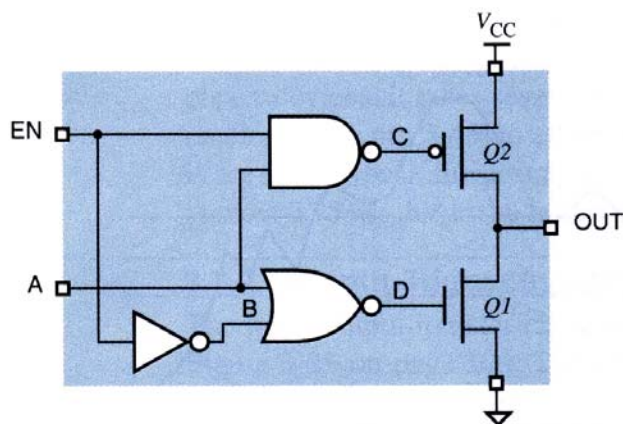
$$P = \frac{dU}{dt} = Uf = CV_{DD}^2 f$$

Per descrivere la potenza dissipata da una rete in genere si introduce una capacità equivalente C_{dis} . $P = C_{DIS} V_{DD}^2 f$

La logica CMOS 13

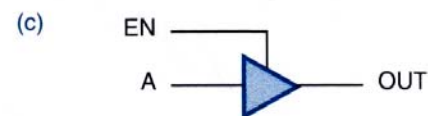
Nei circuiti logici esistono 3 diverse tipologie di uscita da una porta. La prima l'abbiamo già vista: lo stadio di uscita è attivo sia nello stato alto che nello stato basso (active high e active low) ovvero sia che la linea a cui l'uscita è connessa è sempre pilotata dalla bassa impedenza del MOS N o del MOS P.

La seconda tipologia di uscita è la così detta **tri-state output**: all'uscita la porta ha una modalità di funzionamento aggiuntiva detta in high-state, Hi-Z. Questa modalità è abilitata o meno da un ingresso aggiuntivo:



(b)

EN	A	B	C	D	Q1	Q2	OUT
L	L	H	H	L	off	off	Hi-Z
L	H	H	H	L	off	off	Hi-Z
H	L	L	H	H	on	off	L
H	H	L	L	L	off	on	H



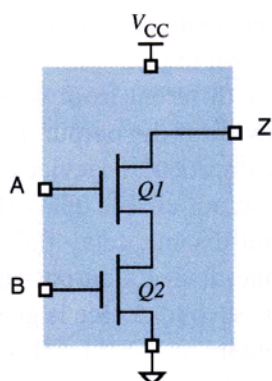
Quando EN è basso l'uscita del NAND si mantiene alta mentre l'uscita NOR si mantiene bassa per qualsiasi valore di A. Questa condizione mantiene contemporaneamente interdetti Q_1 e Q_2 . La linea a cui l'uscita OUT è connessa si trova in alta impedenza rispetto a questa porta.

Ora un'altra porta potrebbe occupare la linea trasmettendo il proprio segnale senza che questa porta possa intralciare, ovvero possa tentare di forzare la linea in uno stato diverso da quello del dispositivo 'master' in quel momento.

Questa soluzione si adotta quando su un bus (insieme omogeneo di più linee) più dispositivi devono trasmettere i propri dati. La tipica situazione è il bus dati ed il bus istruzioni all'interno di un μ -controllore: solo un registro selezionato per volta può trasmettere sul bus, mentre più dispositivi potrebbero leggere il bus contemporaneamente.

La logica CMOS 14

L'ultima modalità di funzionamento è l'**open drain**. La porta di uscita in questa situazione manca del MOS P, ovvero del dispositivo active high.



(b)

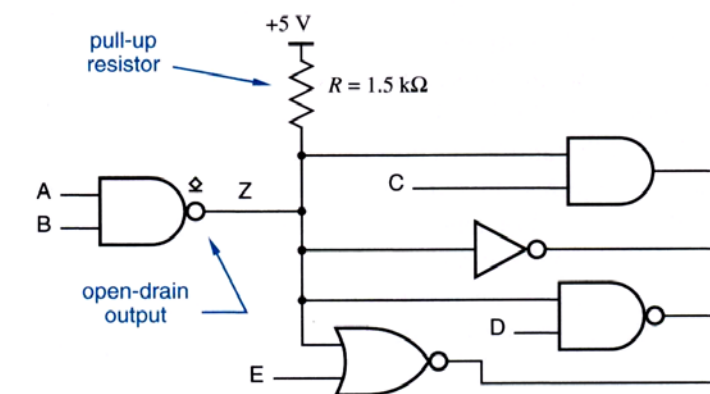
A	B	Q1	Q2	Z
L	L	off	off	open
L	H	off	on	open
H	L	on	off	open
H	H	on	on	L



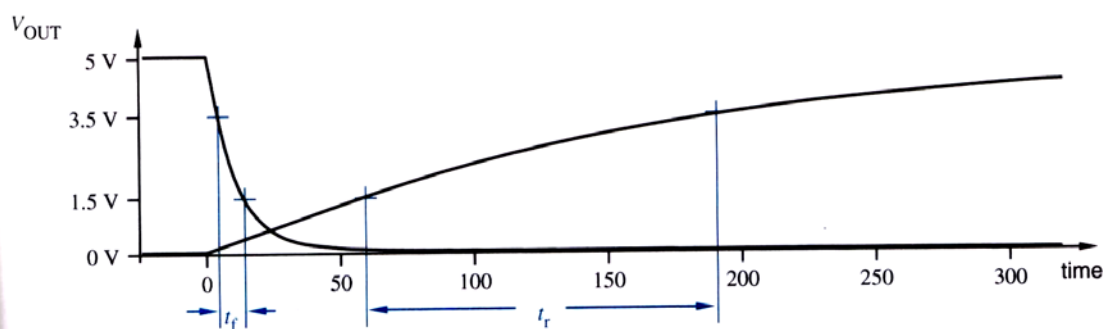
Nella porta open drain manca il MOS P. La connessione verso l'alimentazione positiva va stabilita con un resistore, **pull-up resistor**.

La connessione verso l'alimentazione positiva va stabilita con un resistore.

Il valore del resistore non deve essere molto piccolo altrimenti l'assorbimento di corrente nello stato basso diviene elevato. Allo stesso tempo il resistore non deve essere troppo grande altrimenti la transizione dallo stato basso allo stato alto diverrebbe estremamente lenta.

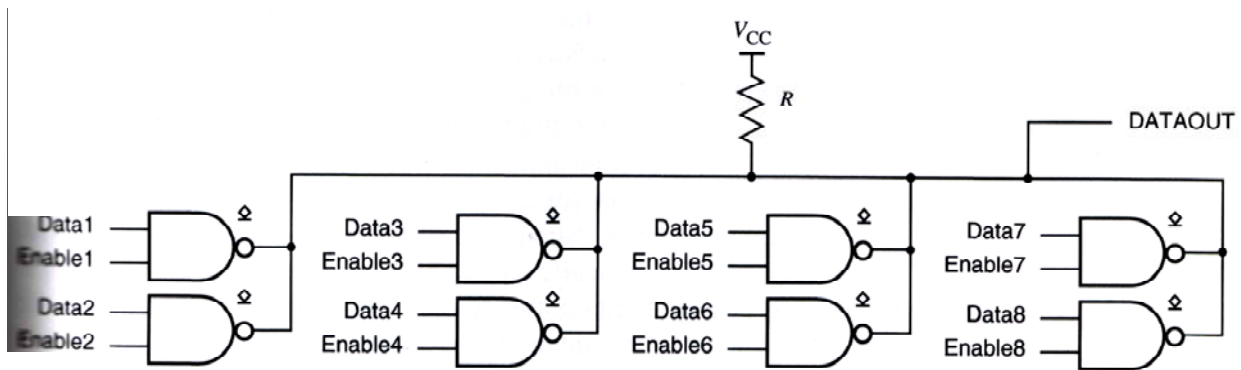


Per esempio supponiamo che la porta sia caricata con 100 pF. Nello stato basso la R_{ON} del MOS N potrebbe essere 100 Ω , da cui si evince un fault time di circa 22 nsec. Con una impedenza di Drain di 1500 Ω il rise time diventa di ben 330 nsec.

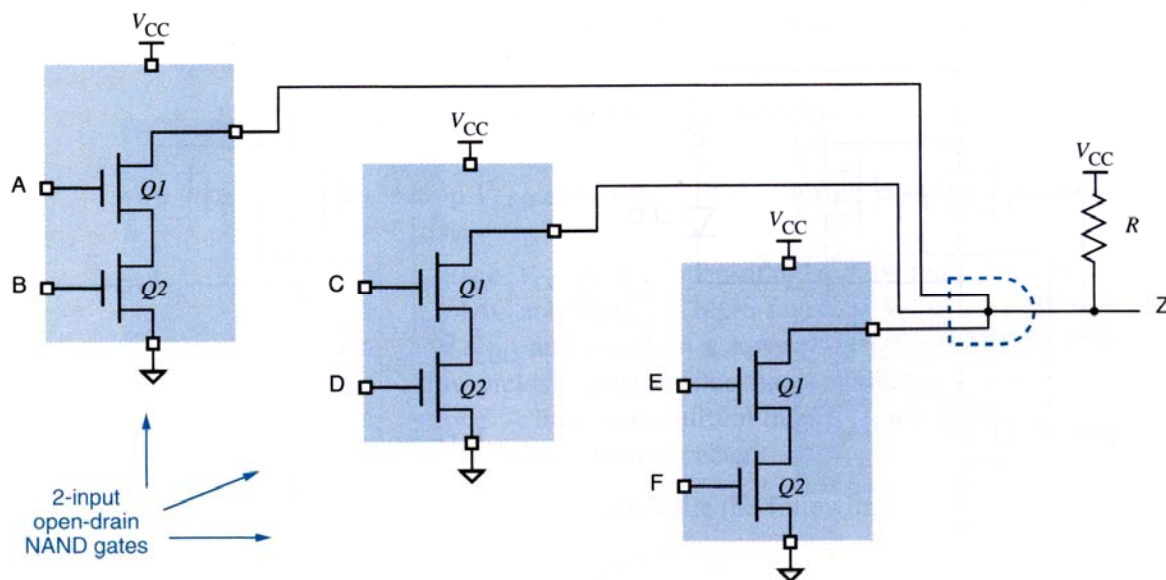


La logica CMOS 15

L'uscita di open drain è sfruttata nelle trasmissioni in cui le linee necessitano di essere pilotate da più master. Esistono diversi protocolli di comunicazione che sfruttano questa opportunità. Una proprietà importante del protocollo open drain è che le uscite non possono mai creare un conflitto di tipo elettrico, al più possono crearsi degli errori di trasmissione.



Solo una porta deve comunicare per volta. Le altre per lasciare libera la linea devono semplicemente porre la propria uscita alta.

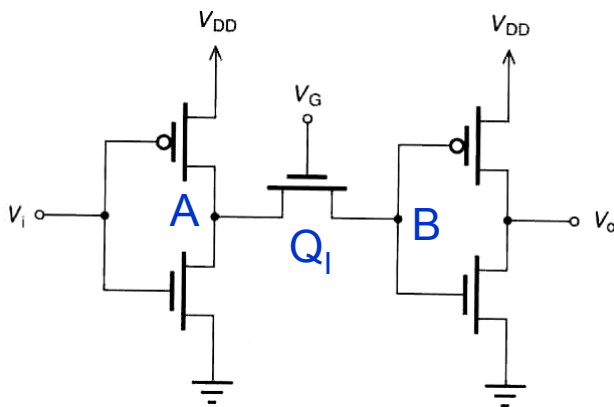


Pur non facendo niente di speciale se non un AND cablato, questo tipo di uscita è sfruttato da diversi protocolli molto usati tipo SPI ed I²C.

La logica CMOS 16

Molto importanti sono gli interruttori CMOS sia per applicazioni digitali che analogiche.

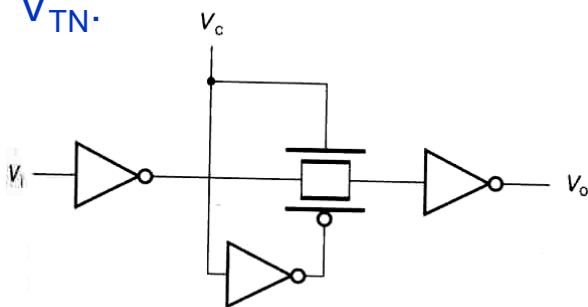
L'interruttore più semplice è composto da un singolo MOS



Se V_G è basso il MOS N si trova interdetto per qualsiasi segnale presente al nodo A. Non ci può essere trasmissione di segnale tra la porta A e la porta B.

Se $V_G = V_{DD}$ il MOS N si trova a dovere operare in regione ohmica per tutti i valori di tensione al nodo A che sono minori di $V_{DD} - V_{TN}$.

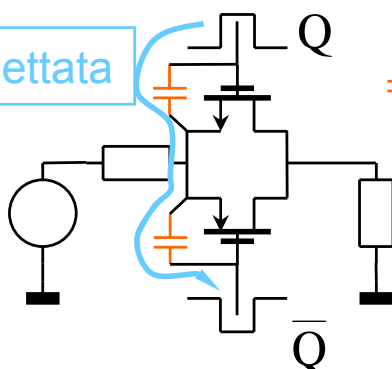
Infatti V_A diventasse $> V_{DS} - V_{TN}$ i ruoli del drain e del source si scambierebbero (il MOS monolitico è un dispositivo simmetrico). Conseguentemente il nodo B non potrebbe superare il potenziale di $V_{DD} - V_{TN}$.



Il problema viene risolto usando come interruttori 2 MOS complementari pilotati con 2 segnali altrettanto complementari.

L'uso dei 2 MOS complementari ha utilità anche nel campo analogico perché la carica di disturbo iniettata si compensa.

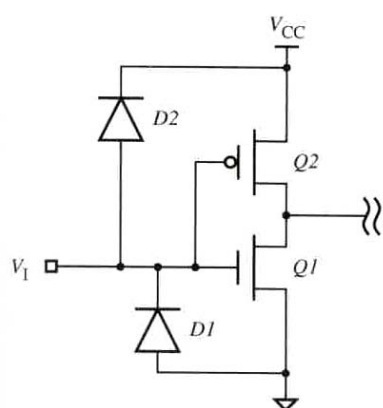
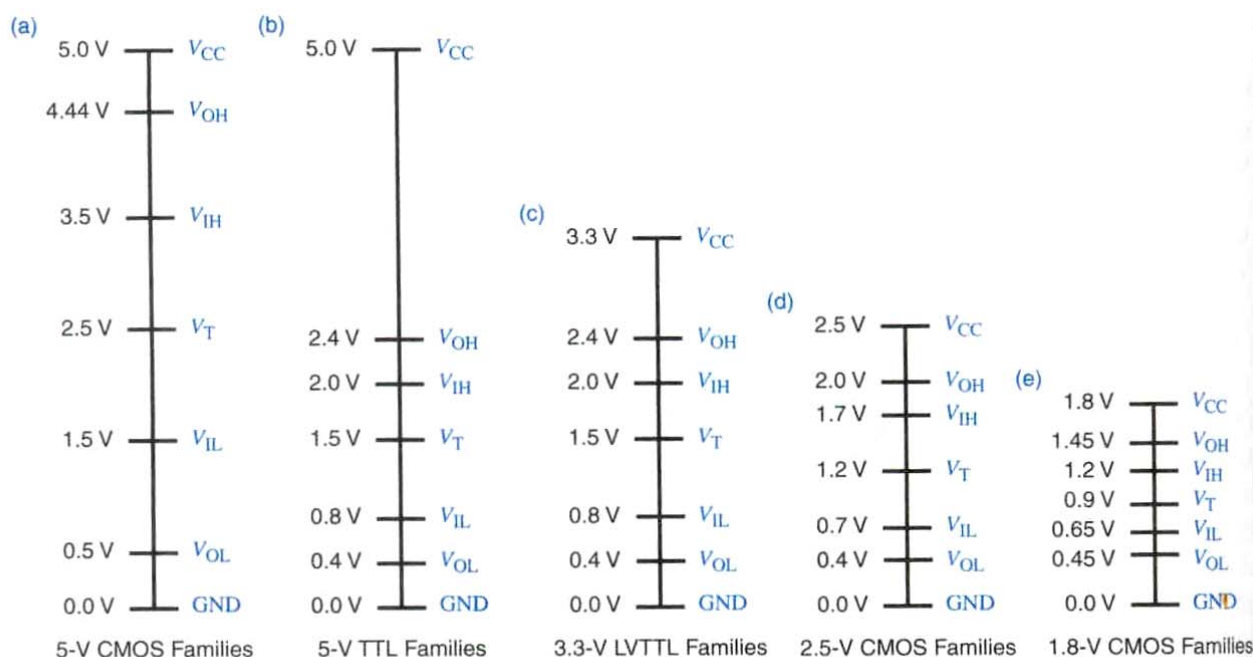
Carica iniettata



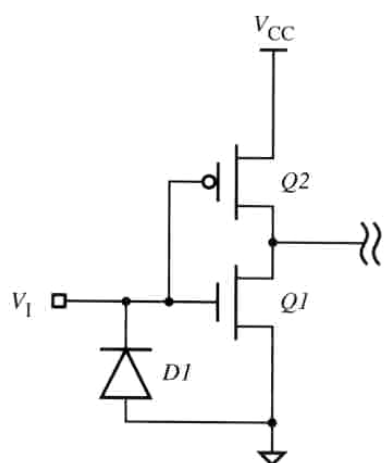
$\text{---} \parallel \text{---} = \text{capacità di gate}$

La logica CMOS 17

I livelli di tensione delle varie tecnologie logiche rispettano differenti valori:

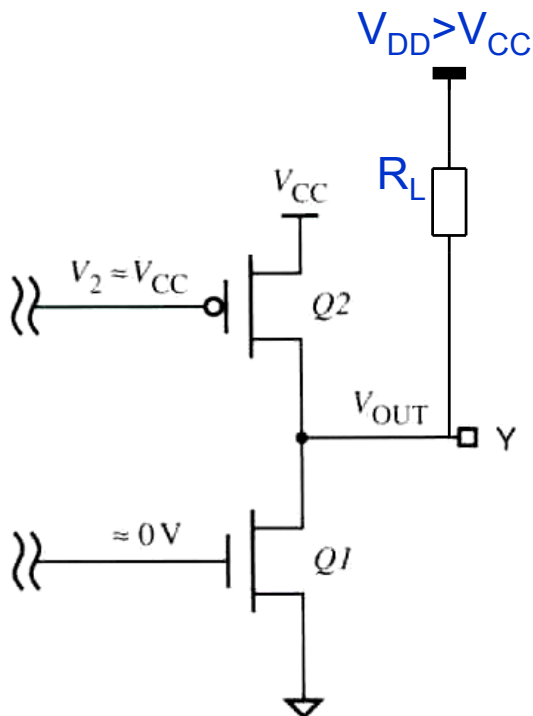


Il tipico circuito di ingresso di una porta CMOS ha 2 diodi di protezione contro gli eccessi di tensione sopra l'alimentazione e la massa. Il diodo verso l'alimentazione rende questa porta non tollerante rispetto a famiglie aventi tensione di alimentazione superiore.



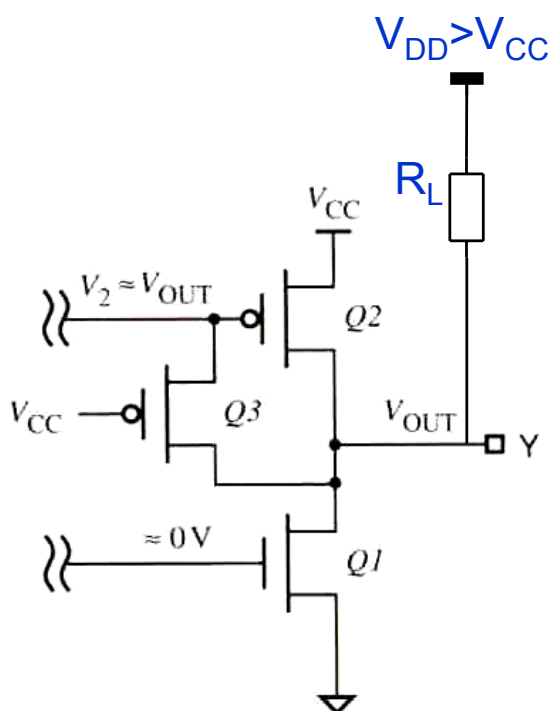
Togliendo il diodo di protezione verso l'alimentazione si rende la porta tollerante ad alimentazioni superiori all'ingresso. Tuttavia va osservato che questa soluzione rende l'ingresso più sensibile alle scariche elettrostatiche.

La logica CMOS 18



L'uscita da questa porta non è tollerante alla connessione accidentale od attraverso una resistenza verso una tensione di alimentazione più alta.

Supponiamo di applicare all'uscita Y, attraverso una resistenza di carico R_L , un potenziale più alto di V_{CC} , quando il gate di Q_2 si trova a V_{CC} ed il gate di Q_1 è basso. Il MOS P entrerebbe in conduzione sebbene non previsto.



L'uscita della porta diviene tollerante ad una tensione superiore a V_{CC} se si aggiunge il MOS P Q_3 avente il gate connesso a V_{CC} .

In questo caso se Y è connesso ad una tensione più elevata, Q_3 entra in conduzione forzando la tensione tra drain e gate di Q_2 a 0 V. Ovviamente il MOS connesso al gate di Q_2 deve essere di dimensioni contenute e tali da non determinare un eccesso di corrente fluire in Q_3 .

L'organizzazione delle porte di I/O dell'8051 1

Lo standard per il numero di porte dell'8051 è 4, sebbene ci siano casi in cui per minimizzare il numero di pin si hanno a disposizione meno porte, o addirittura di più.

Sebbene le 4 porte non abbiano la stessa configurazione circuitale, un solo registro è associato ad ogni porta nello standard 8051. Casi come con Philips si associano 3 byte: 2 byte servono per determinare la direzione scelta per ogni pin della porta, ed uno per tenere il valore memorizzato nella porta, quando è assegnata come uscita.

Le 4 porte vengono chiamate Port0, Port1, Port2 e Port3.

La memoria esterna viene indirizzata dalla Port0 (parte bassa indirizzo e dato) e Port2 (parte alta dell'indirizzo). Queste 2 porte non possono essere usate per altri scopi quando usate per gestire la memoria esterna.

La Port0 opera in modalità open Drain quando usata per gestire periferiche, mentre è push-pull quando gestisce la memoria.

Nella fase di gestione della memoria, quando si deve scrivere l'indirizzo o il dato, la linea CONTROL viene alzata: la conseguenza è che la porta

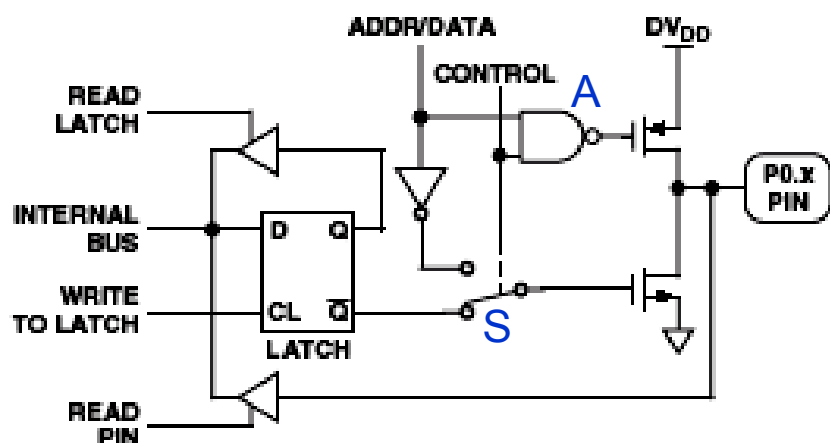


Figure 36. Port 0 Bit Latch and I/O Buffer

NAND diviene un invertitore per la linea ADDR/DATA e l'interruttore S è connesso all'invertitore: l'uscita è in push-pull con il MOSP abilitato se l'uscita deve essere alta.

Se il dato deve essere letto dalla memoria esterna, CONTROL è posto =0 ed S connesso all'uscita negata del FF che rappresenta il bit del registro della porta. In questo registro viene messo un '1' in modo che sia il MOSP che il MOSN siano OFF ed il dato sia letto attraverso il buffer READ PIN.

L'organizzazione delle porte di I/O dell'8051 2

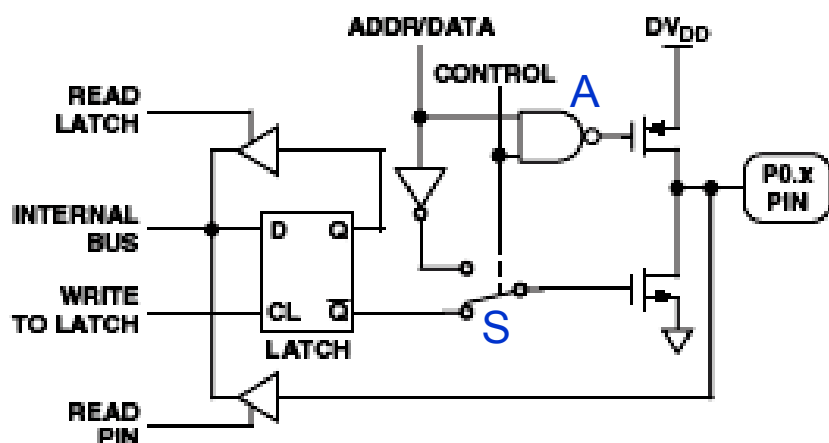


Figure 36. Port 0 Bit Latch and I/O Buffer

Nel caso la porta non sia usata per gestire la memoria esterna la linea CONTROL viene mantenuta bassa. La prima conseguenza è che il gate del MOSP viene fissato alto, lasciandolo nello stato OFF in modo perpetuo.

La porta diviene quindi utilizzabile come uscita connettendo una resistenza tra il pin e V_{DD} .

Un '1' nel FF porta l'uscita alta, uno '0' bassa mediante l'accensione del MOSN.

Nel caso la porta debba essere usata come un ingresso non si connette nessuna resistenza, e si scrive un '1' nel FF: i 2 MOS rimarranno disabilitati e il pin verrà letto dal buffer READ PIN.

Port2 pone in uscita la parte più significativa dell'indirizzo in caso il micro debba gestire la memoria esterna. La linea CONTROL, diversa da quella della Port0, agisce esattamente come nel caso precedente. Solo che ora il dato non deve essere letto dalla memoria esterna, quindi non viene posto alto il FF per la lettura automatica dalla memoria. A differenza che con Port0, questa porta

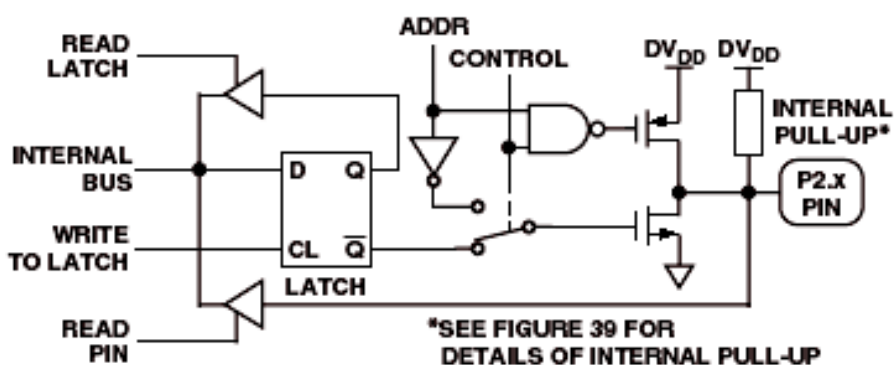


Figure 38. Port 2 Bit Latch and I/O Buffer

ha un debole pull-up attivo. Non è necessario l'aggiunta di resistori esterni se la velocità della porta non è un fattore critico.

Quando CONTROL è basso, essendo il pull-up debole, un '1' scritto nel FF consente l'utilizzo della porta come ingresso che può essere letto dal buffer READ PIN.

L'organizzazione delle porte di I/O dell'8051 3

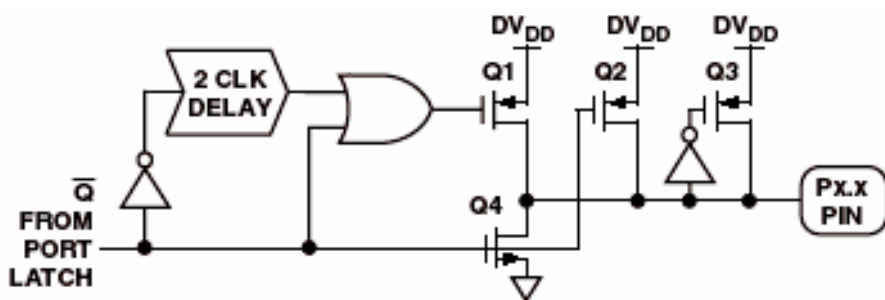


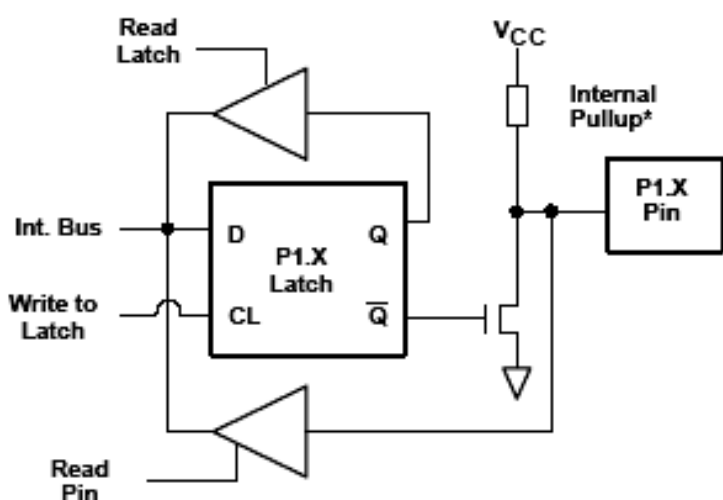
Figure 39. Internal Pull-Up Configuration

E' interessante l'implementazione circuitale del pull-up nelle porte 1 e 3 (in tutte le porte nei dispositivi Philips).

Il MOSFET Q_3 ha una reazione positiva tra gate e drain che aumenta la velocità di commutazione quando anche dall'esterno viene pilotato il pin.

Q_2 è un MOSFET che fa un debole pull-up addizionale.

Q_1 è un MOSFET che ha una certa capacità di pilotare corrente. Però nella commutazione da '0' a '1' del pin di uscita il suo gate viene mantenuto basso solo per 2 colpi di clock, poi viene riportato alto: la sua azione è di aumentare lo slew-rate, ovvero di diminuire il tempo di commutazione.



Port1 è genericamente una porta I/O, sebbene per taluni modelli sia implementata solo come I, nel caso vi siano delle funzionalità analogiche aggiunte.

Come I/O ha un pull-up debole, operante come quello della Port2.

ATTENZIONE: la lettura del pin attraverso il READ LATCH o READ PIN avviene con comandi assembler opportuni.

L'organizzazione delle porte di I/O dell'8051 4

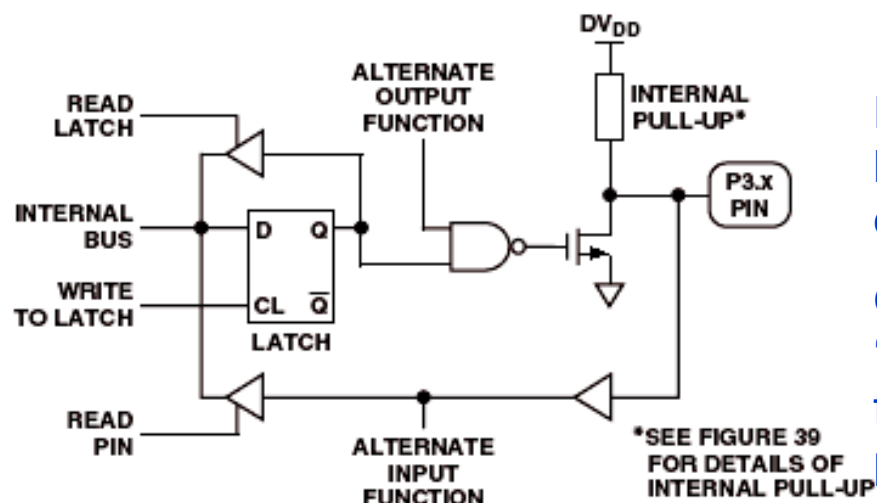


Figure 40. Port 3 Bit Latch and I/O Buffer

Port3 è anch'essa I/O. Ha tutte le caratteristiche di operatività della Port1.

Quando è usata come uscita un '1' scritto nel FF abilita la funzione alternativa per via della presenza della porta NAND.

Le funzioni alternative a cui i pin della Port3 possono adempiere sono:

Table XIX. Port 3, Alternate Pin Functions

Pin	Alternate Function
P3.0	RxD (UART Input Pin)(or Serial Data I/O in Mode 0)
P3.1	TxD (UART Output Pin) (or Serial Clock Output in Mode 0)
P3.2	$\overline{\text{INT0}}$ (External Interrupt 0)
P3.3	$\overline{\text{INT1}}$ (External Interrupt 1)/PWM 1/MISO
P3.4	T0 (Timer/Counter 0 External Input) PWM External Clock/PWM 0
P3.5	T1 (Timer/Counter 1 External Input)
P3.6	$\overline{\text{WR}}$ (External Data Memory Write Strobe)
P3.7	$\overline{\text{RD}}$ (External Data Memory Read Strobe)

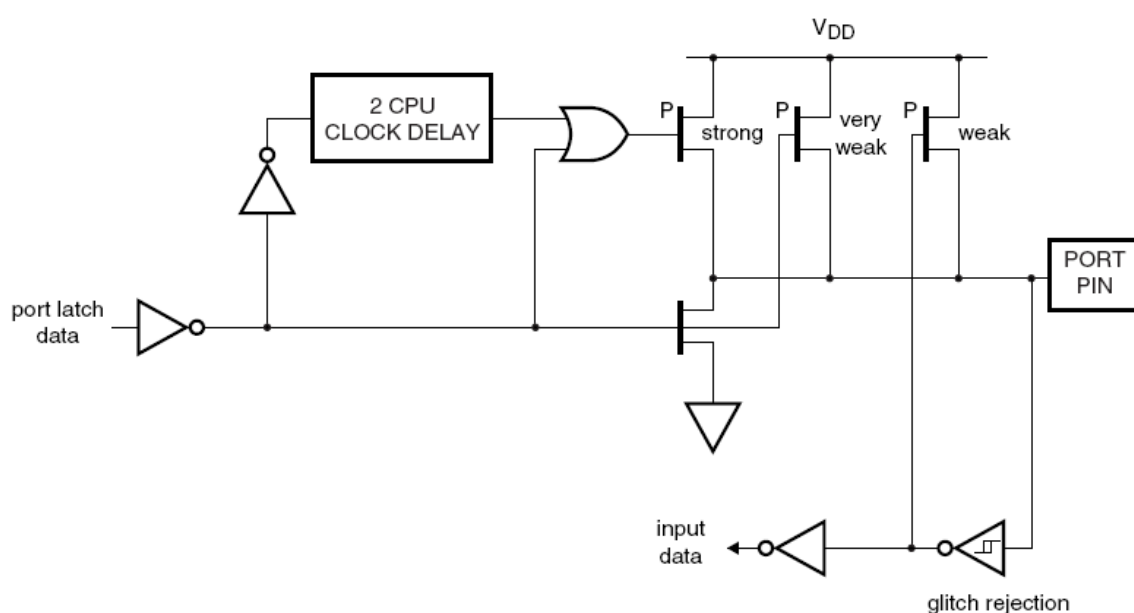
Le complicazioni usate nell'8051 nella gestione delle porte non sono necessariamente riscontrati in altri micro. Questa complicazione è stata inizialmente adottata per risparmiare registri di configurazione per le porte. Infatti con un solo registro per porta si riesce a fare tutto.

La possibilità di disporre di una maggiore quantità di RAM consente di potere spendere più registri per la gestione delle porte. Ad esempio i micro di Philips, pur essendo basati su 8051 dispongono di più registri di configurazione che consentono una maggiore flessibilità.

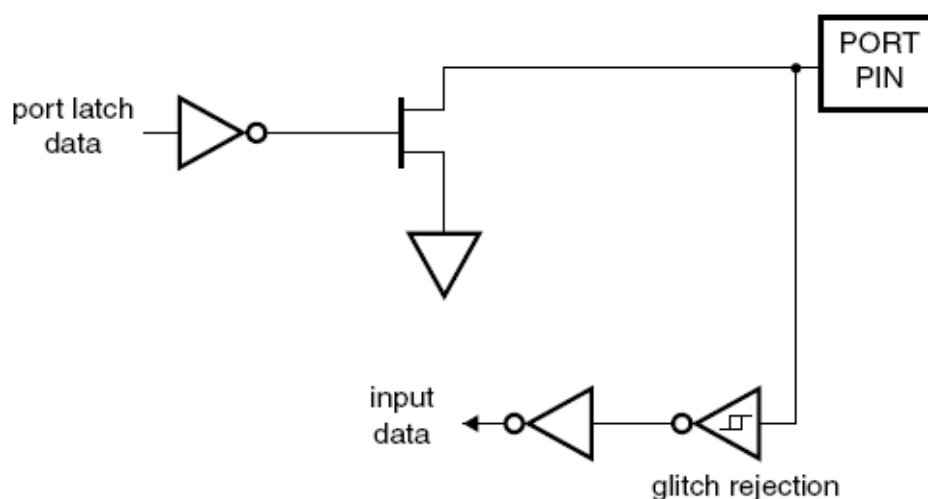
L'organizzazione delle porte di I/O dell'8051 5

I meccanismi di risparmio usati nell'8051 standard sono ottimizzati nelle soluzioni più recenti. Ad esempio nell'8051 di NXP (Philips) si usano 2 byte per ogni porta per selezionare la modalità di operazione dei singoli bit. Ad esempio ogni bit può essere considerato di I/O, quasi-bidirectional o push pull con le seguenti configurazioni:

CONFIGURAZIONE QUASI-BIDIREZIONALE: simile al classico



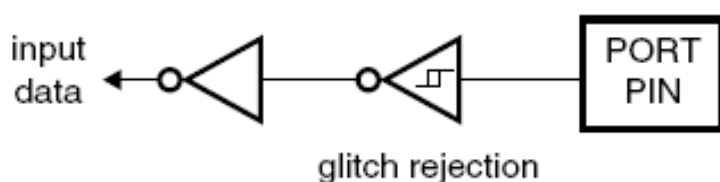
CONFIGURAZIONE open drain



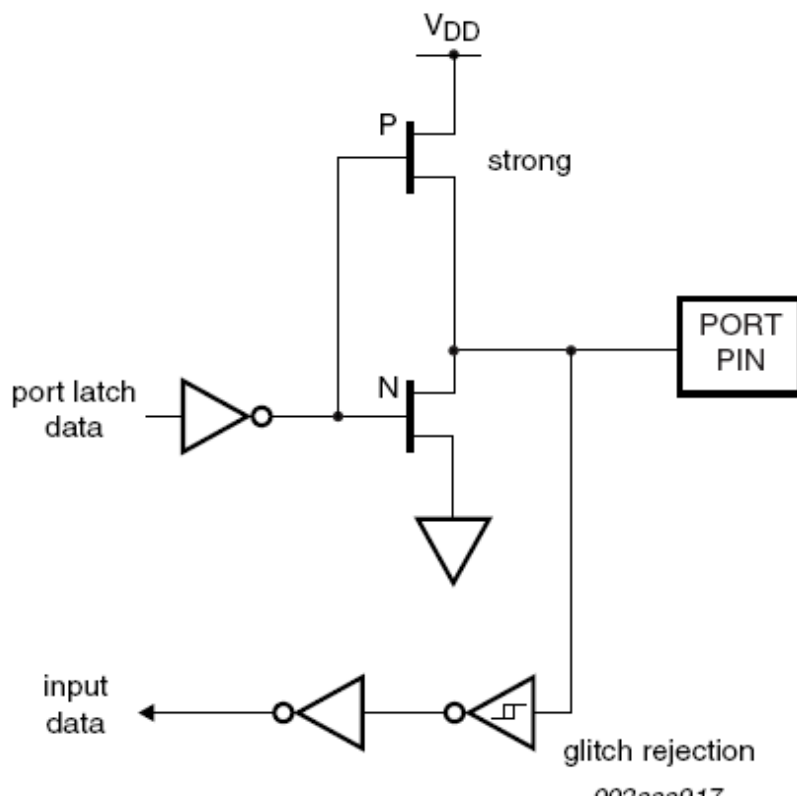
L'organizzazione delle porte di I/O dell'8051 6

I meccanismi di risparmio usati nell'8051 standard sono ottimizzati nelle soluzioni più recenti. Ad esempio nell'8051 di NXP (Philips) si usano 2 byte per ogni porta per selezionare la modalità di operazione dei singoli bit. Ad esempio ogni bit può essere considerato di I/O, quasi-bidirectional o push pull con le seguenti configurazioni:

CONFIGURAZIONE ingresso



CONFIGURAZIONE push-pull

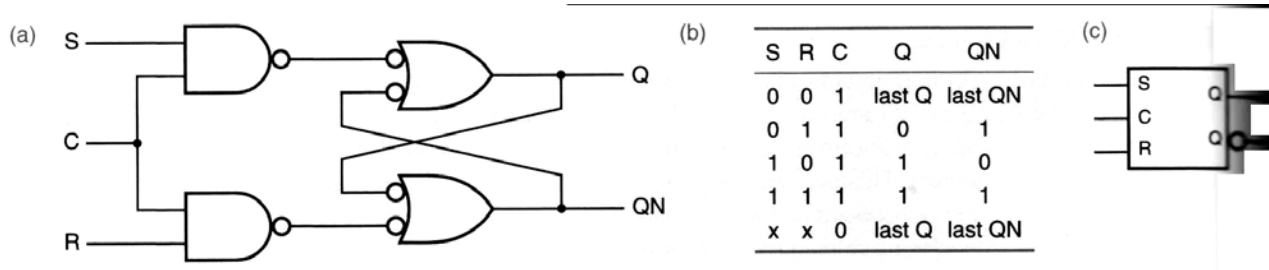


Applicazione alla logica CMOS: latch sensibile al fronte di salita 1

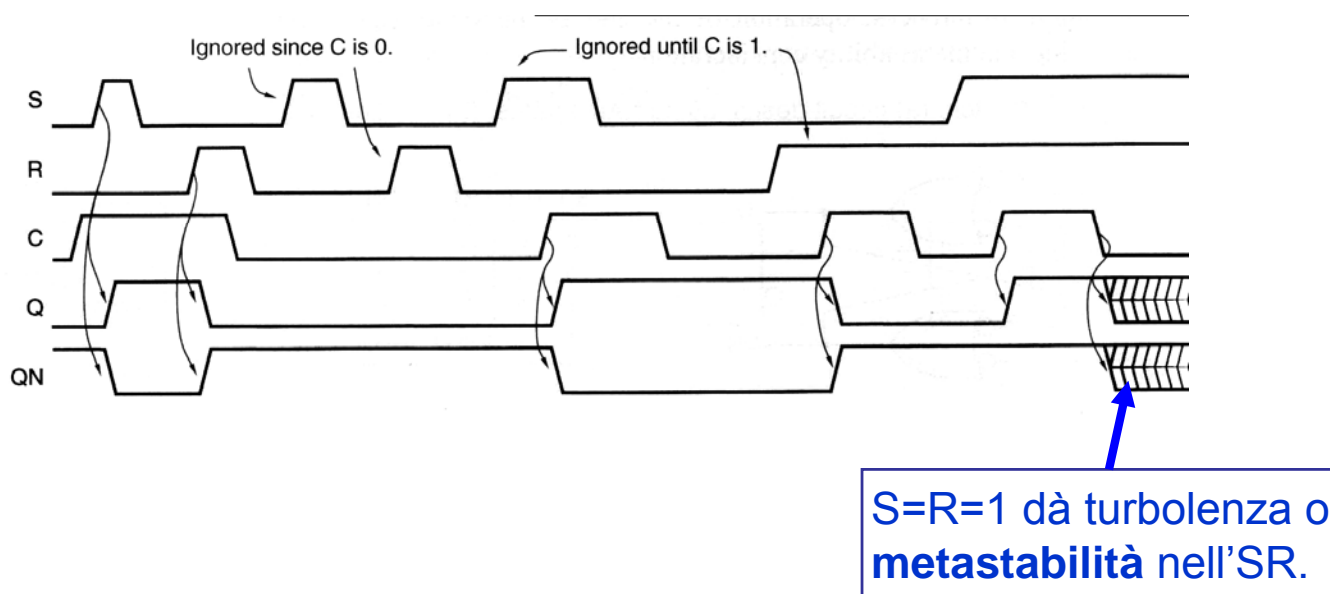
I dispositivi di latching svolgono un ruolo fondamentale pur essendo molto semplici. Un aspetto importante riguarda la loro sincronizzazione rispetto ai fronti di salita e discesa del clock.

In molte situazioni risulta comodo che la memorizzazione del dato avvenga solo sul fronte di salita, o discesa del clock, e non durante tutto il periodo in cui viene mantenuto lo stato. In questo modo le possibili turbolenze vengono minimizzate.

Partiamo dal FF SR con l'abilitazione, o clock.

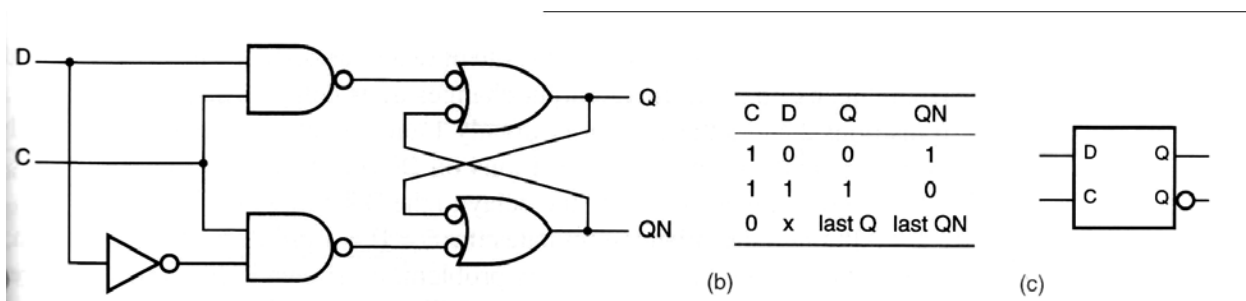


Il FF può compiere le transizioni ogni qualvolta il clock è nello stato alto. Vale a dire che se $C=1$, ogni variazione di S e / o R determinano un cambiamento dello stato di uscita.

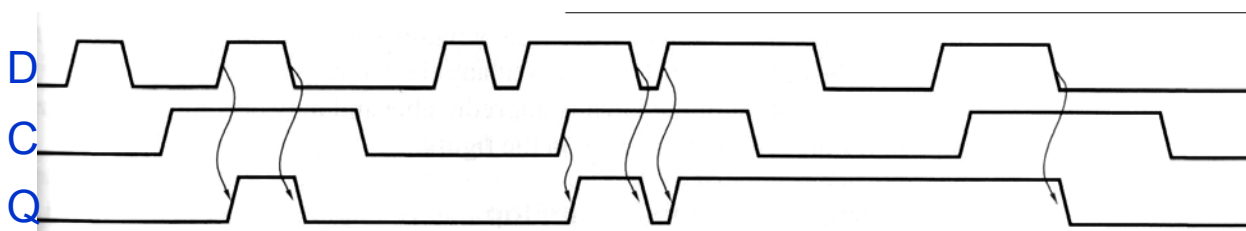


Applicazione alla logica CMOS: latch sensibile al fronte di salita 2

Prima di passare alla problematica della temporizzazione il FF SR deve essere trasformato in un latch. Lo stato di uscita deve cambiare in funzione di un unico ingresso: il FF SR viene trasformato nel FF D:



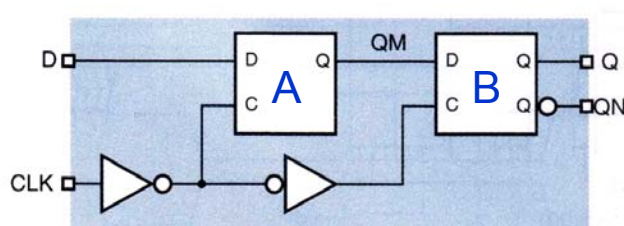
Con la posizione $R=\text{Not}S$ con il singolo ingresso $D(=S)$ l'uscita segue l'ingresso qualora il clock C sia nello stato alto.



L'uscita in questo caso segue l'ingresso, non viene "fotografata" all'istante in cui C compie la transizione. Il segnale di uscita non è stabilizzato.

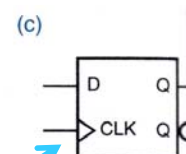
Applicazione alla logica CMOS: latch sensibile al fronte di salita 3

Per realizzare un FF che sia sensibile solo al fronte del segnale di clock occorre aggiungere un po' di complessità: raddoppiare il numero di elementi.



(b)

D	CLK	Q	QN
0	↑	0	1
1	↑	1	0
x	0	last Q	last QN
x	1	last Q	last QN

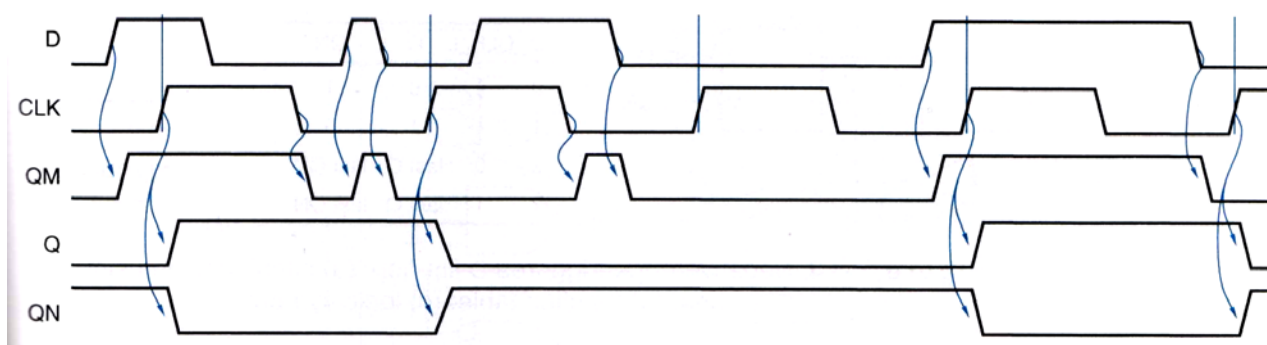


Il triangolino indica che il FF è sensibile al fronte.

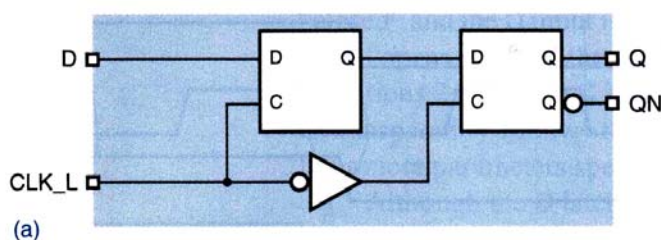
Funzionamento:

Se $CLK=0$ il FF A copia alla sua uscita QM tutto quello presente all'ingresso. Tuttavia il FF B si trova il Clock basso. Il FF B non cambia niente.

Non appena CLK passa da 0 ad 1, diciamo all'istante $t=0$, il FF A fisserà la propria uscita, perciò $QM(t=0^+)=D(t=0)$, senza più cambiarla fino a che CLK torna di nuovo a 0. In compenso il FF B si trova il clock alto, soddisfacendo: $Q(t=0^{++})=QM(t>0)=QM(t=0^+)$.

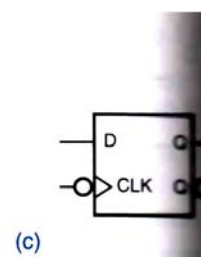


E' ovviamente possibile realizzare un FF sensibile al fronte di discesa. In questo caso si risparmia una negazione.



(b)

D	CLK_L	Q	QN
0	↓	0	1
1	↓	1	0
x	0	last Q	last QN
x	1	last Q	last QN

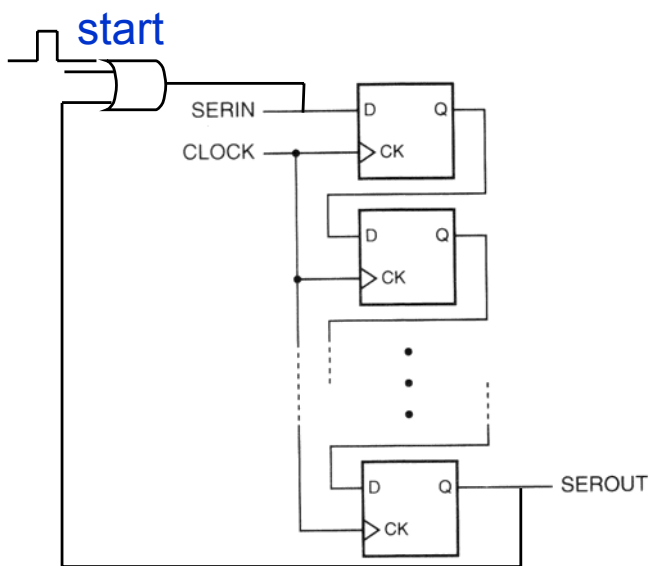


Applicazione della logica CMOS: lo shifter register (1)

Lo scopo dello shift register è di scorrere, a destra o a sinistra, una parola binaria composta da più bit.

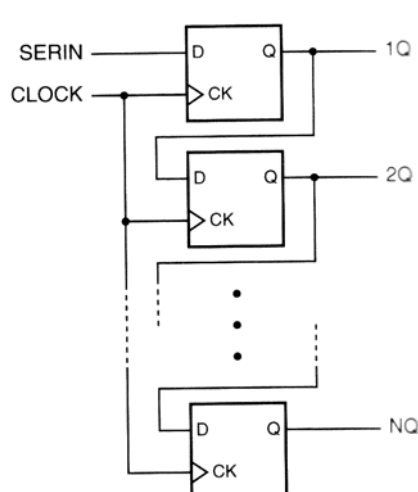
Le applicazioni sono varie, dai circuiti ADC alla trasmissione seriale.

Nello shift register il trasferimento di ogni bit nella posizione limitrofa avviene ad ogni colpo di clock. Lo spostamento può avvenire di un solo passo per volta. Lo spostamento di n posizioni richiede pertanto n colpi di clock.



Il dispositivo seriale agisce come divisore di frequenza. Un 1 posto all'ingresso della catena di FF verrà emesso all'uscita della catena solo dopo n colpi di clock, se n è il numero di FF usati.

Una volta fornito l'uno per lo start, il circuito si auto-mantiene.

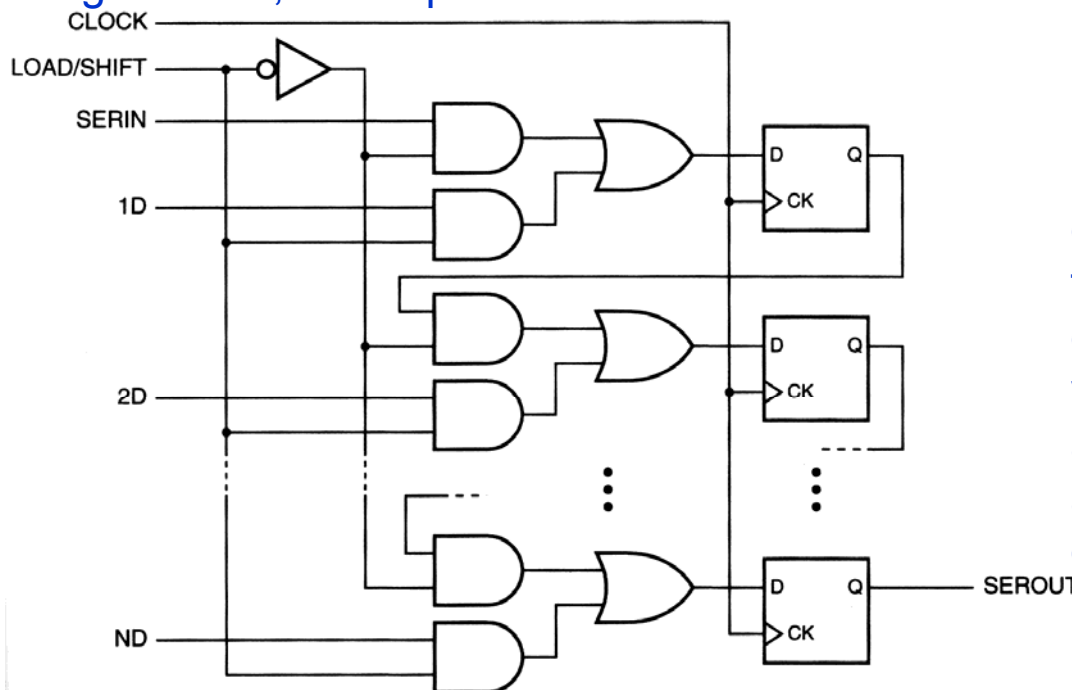


Esiste anche la possibilità di convertire l'ingresso seriale in un'uscita parallela. Questo è quello che tipicamente accade nella ricezione seriale: si riceve un bit per volta che viene fatto scorrere in modo da ricostruire la parola originaria.

Applicazione alla logica CMOS: lo shifter register (2)

Esistono poi tutta una serie di variazioni sul tema dei registri a scorrimento.

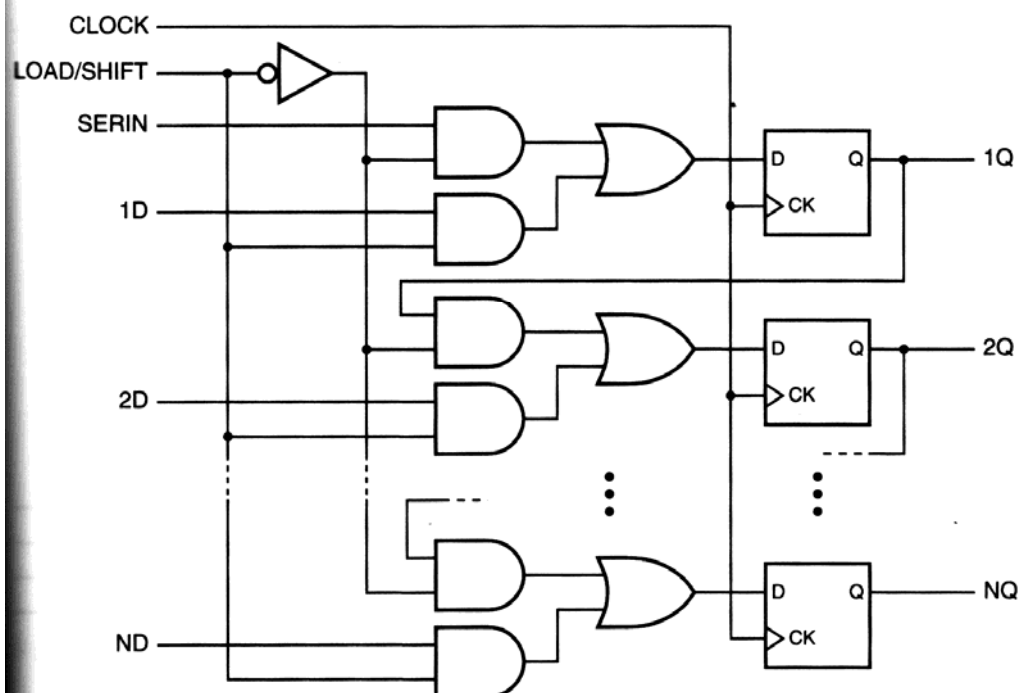
E' abbastanza comune considerare anche le opzioni in cui si ha un registro parallelo che viene trasformato in una successione di segnali su di una singola linea, caso tipico di una trasmissione seriale.



Si può poi caricare uno bit da destra o da sinistra o si può fare in modo che il bit dello scorrimento che verrebbe perso vada a finire in un registro addizionale, che in genere è il Carry nei micro-controllori.

Figure 8-48 Structure of a parallel-in, serial-out shift register.

Figure 8-49 Structure of a parallel-in, parallel-out shift register.



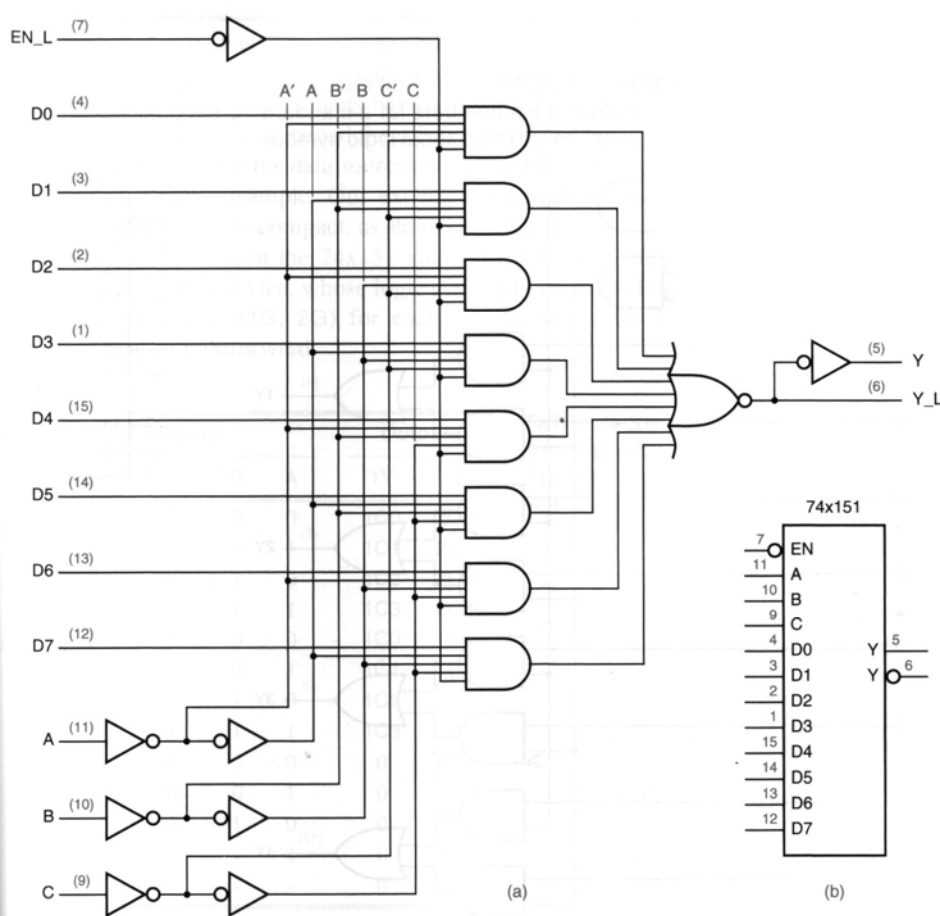
Applicazione della logica CMOS: il barrel shifter (1)

Il barrel shifter è utilizzato principalmente nei DSP. Può essere visto come uno shift register dove sia ha una combinazione parallel-in parallel-out.

La grossa differenza nei riguardi di uno shift register è che lo scorrimento, di una quantità arbitraria di posizioni, viene eseguita in un solo colpo di clock.

L'esecuzione così immediata dello scorrimento è possibile se si complica in modo considerevole l'HW.

Per potere realizzare uno scorrimento di un qualsiasi numero di bit in un solo colpo dobbiamo permettere che ogni bit all'uscita possa essere selezionato tra tutti quelli disponibili nella parola. Dobbiamo basare il circuito sull'uso di circuiti di multi-plexaggio.



Partiamo dal concetto di multiplexer. Un circuito di esempio standard è il 74x151. Uno solo tra gli 8 bit di ingresso viene selezionato. Occorrono 3 bit per la selezione ed uno ulteriore per l'abilitazione della struttura in toto. La funzione è realizzata con soli circuiti logici: ogni bit viene selezionato mediante un AND a 4 ingressi. Delle 8 uscite dalle porte AND solo una sarà quella attiva, che verrà copiata attraverso la porta OR all'uscita.

Applicazione alla logica CMOS: il barrel shifter (2)

Un barrel shifter a 16 ingressi e 16 uscite si realizza con 16 multiplexer a 16 ingressi. Nell'esempio ogni multiplexer a 16 ingressi è implementato combinando 2 multiplexer a 8 bit.

Si usa un trucco nelle connessioni. Per ogni bit il bit più significativo all'ingresso del multiplexer è quello di peso corrispondente. Il bit successivo è il bit che segue, e via di seguito. Quando finisce la serie si ricomincia con la serie che inizia col bit più significativo che sta sopra quello in considerazione.

Lo scorrimento, circolare; in una sola direzione, nonché l'ammontare dello scorrimento si realizza selezionando la metà superiore o inferiore di ogni coppia di multiplexer ed il corrispondente bit con i 3 bit di selezione.

Questa soluzione circuitale è molto veloce, perché il tempo di trasmissione del segnale è quello di un solo multiplexer. Tuttavia è molto dispendiosa in termini di complessità circuitale.

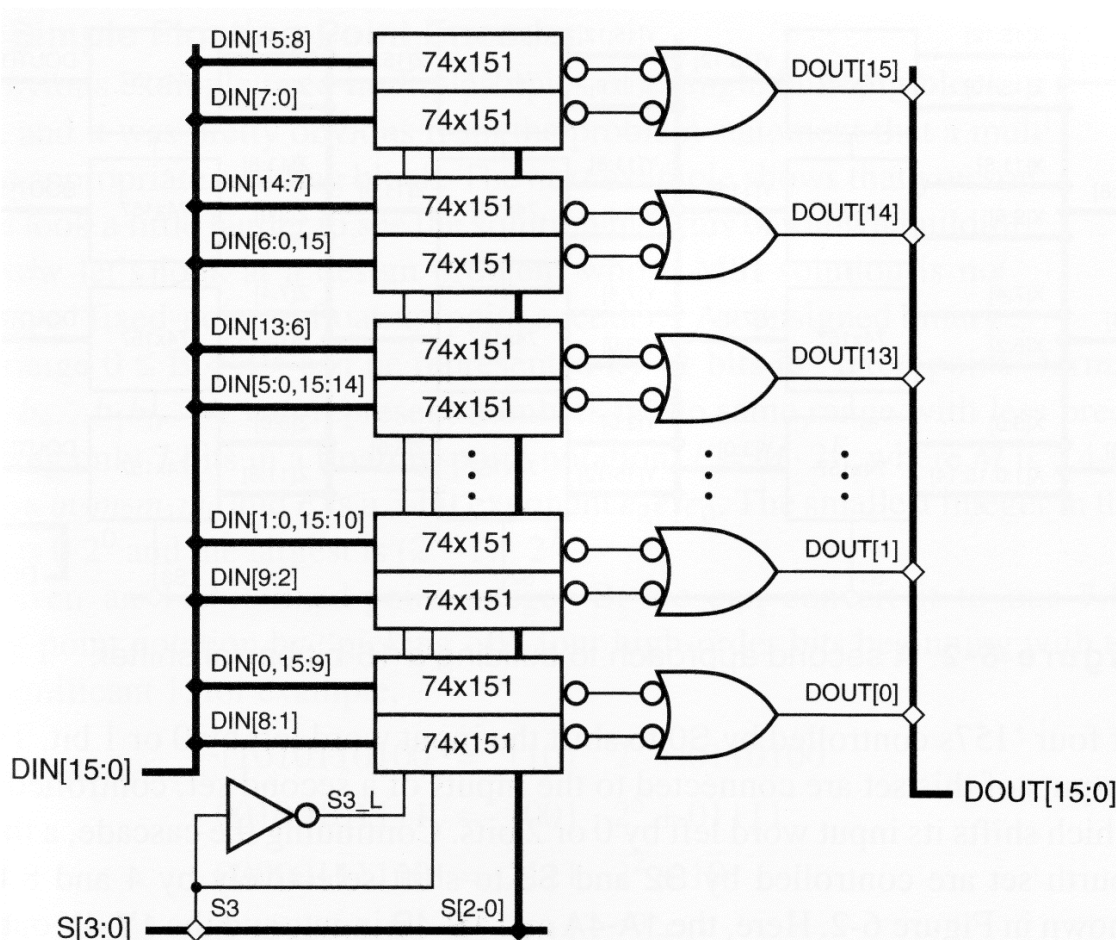


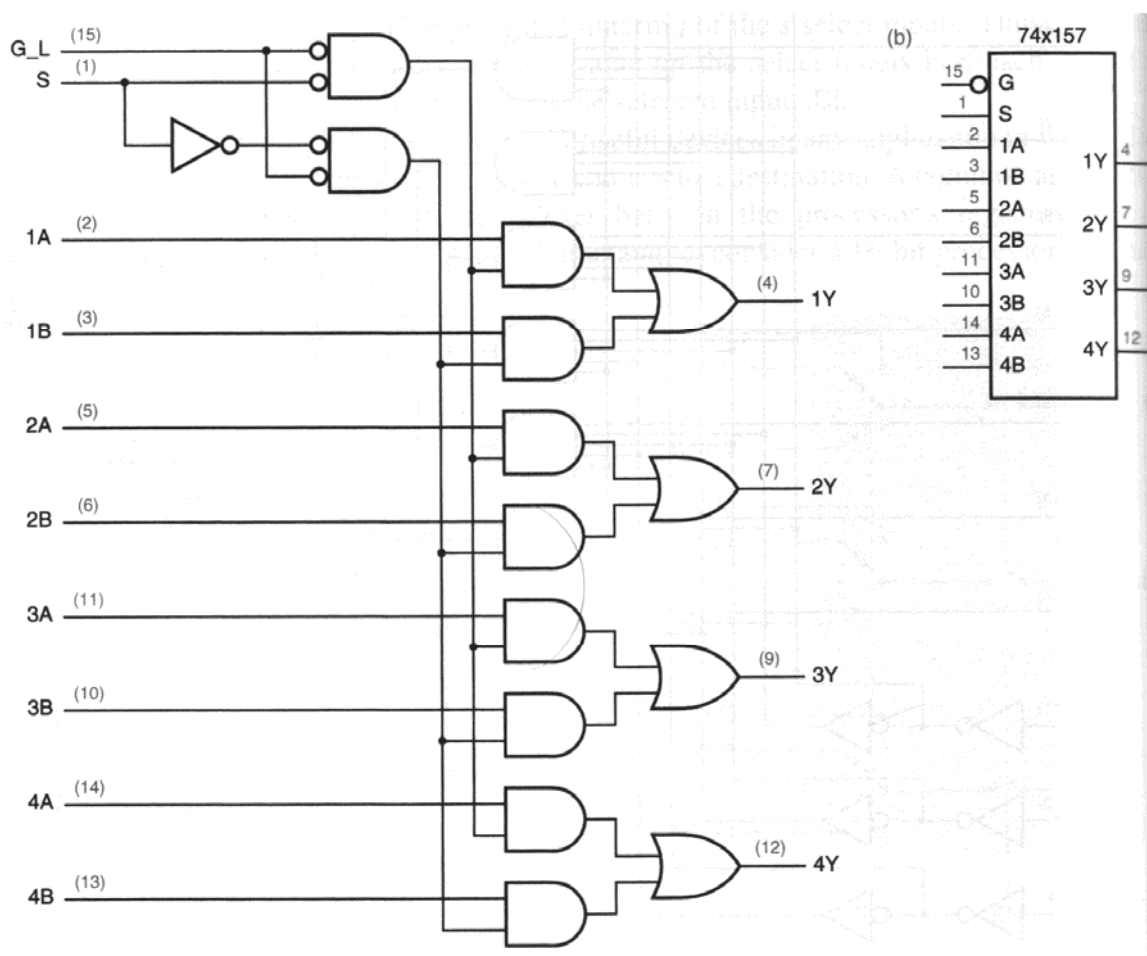
Figure 6-1
One approach to building a 16-bit barrel shifter.

Applicazione alla logica CMOS: il barrel shifter (3)

E' possibile risparmiare in termini di complessità circuitale, a spese di un tempo di latenza maggiore.

In luogo di un multiplexer a singola uscita consideriamo un multiplexer che seleziona una parola tra 2 presenti in ingresso. Un esempio è il 74x157 che seleziona una parola di 4 bit tra 2, sempre da 4 bit, presente agli ingressi.

In questo caso basta un solo bit per la selezione. Un altro bit è usato per l'abilitazione.

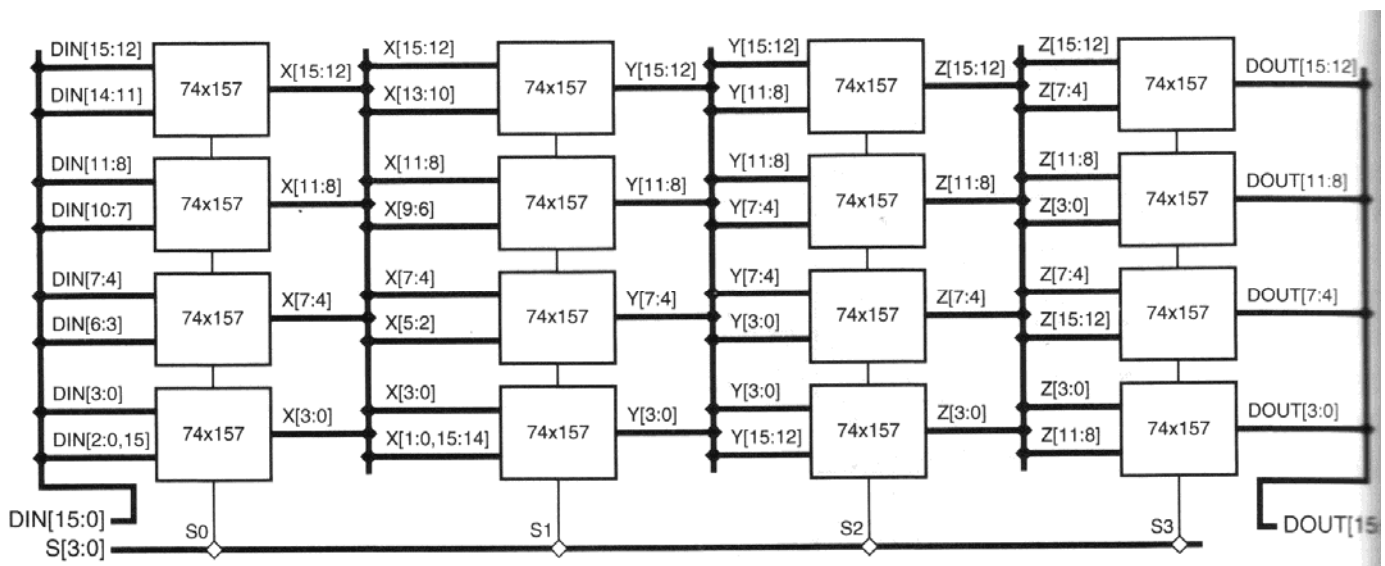


Inputs		Outputs			
G_L	S	1Y	2Y	3Y	4Y
1	x	0	0	0	0
0	0	1A	2A	3A	4A
0	1	1B	2B	3B	4B

Table 5-35
Truth table for a
74x157 2-input,
4-bit multiplexer.

Applicazione della logica CMOS: il barrel shifter (4)

La prima colonna di multiplexer realizza uno scorrimento di un solo bit o zero. La seconda colonna consente uno scorrimento dell'uscita della prima colonna di 0 o 2 passi. La terza colonna consente lo scorrimento di 0 o 4 passi della uscita presente nella seconda colonna. Infine l'ultima colonna consente lo scorrimento di 0 o 8 passi dell'uscita della terza colonna.



Come si può notare nella prima soluzione si sono usati 16 multiplexer da 16 bit, ora se ne sono usati 16 da 4 bit. Ottenendo un risparmio in termini di spazio, ma a spese di un maggiore tempo di latenza: 4 strutture in cascata in luogo di una.

Il clock generato con la tecnica Phase Looked Loop, PLL 1

Spesso occorre disporre di una frequenza di clock di valore prestabilito, o una frequenza di clock troppo elevata rispetto ai cristalli risonatori che si trovano sul mercato (qualche decina di MHz).

Secondo gli standard di compatibilità elettromagnetica le emissioni EMI devono essere minimizzate in molte applicazioni. Generare una frequenza elevata solo all'interno del circuito integrato a partire da una frequenza bassa presente all'esterno del circuito integrato consente senz'altro una livellazione della potenza irradiata.

Con la tecnica PLL (Phase Looked Loop) è possibile ottenere questi risultati.

Ormai molti microcontrollori e DSP dispongono di una rete PLL a bordo.

Il PLL è una rete reazionata negativamente che usa, nell'anello di reazione, degli elementi aventi funzioni specifiche non lineari.

Le possibili variabili di interesse che si possono estrarre dal PLL sono molteplici, tutte basate sullo schema di partenza sotto riportato.

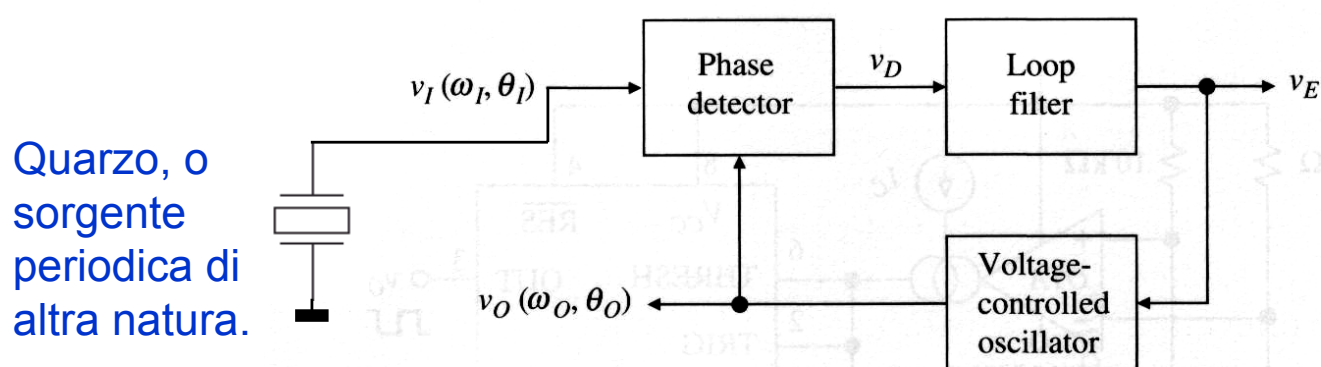
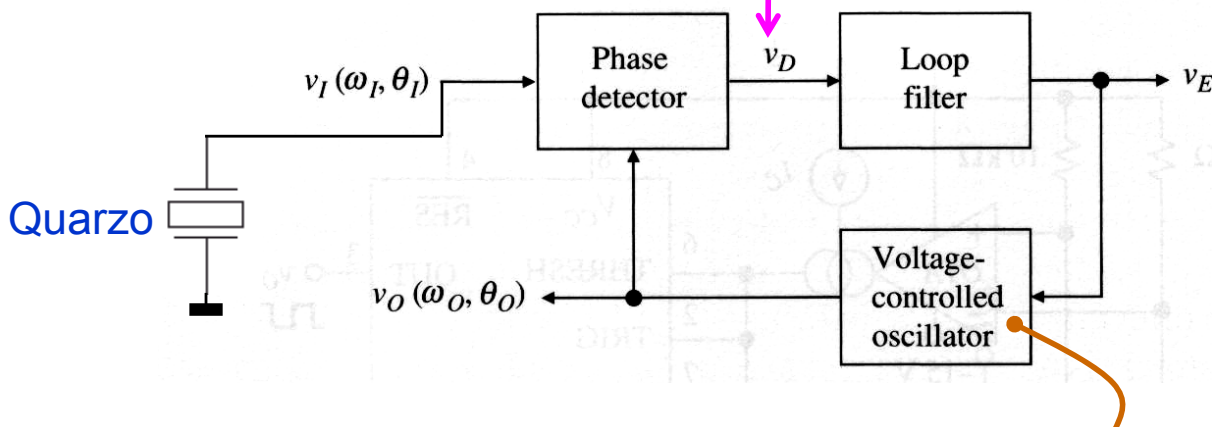


FIGURE 13.21
Basic phase-locked loop.

Ad un circuito in grado di rivelare la differenza di fase presente tra 2 segnali periodici (**Phase Detector**) vengono applicati il segnale periodico di ingresso ed il segnale proveniente da un circuito capace di generare un segnale periodico proporzionale ad una tensione di riferimento **Voltage Controlled Oscillator (VCO)**.

Il clock generato con la tecnica Phase Locked Loop , PLL 2

Il Rivelatore di Fase genera un segnale di tensione proporzionale alla differenza tra le fasi dei segnali.



Il segnale generato dal Rivelatore di Fase, dopo essere stato eventualmente filtrato dal Loop Filter, se presente, viene mandato al **VCO**, il quale genera un segnale di frequenza proporzionale alla tensione in questione.

Se la frequenza del VCO, quando il suo ingresso è nullo, è molto simile alla frequenza del segnale di ingresso, una piccola tensione sarà necessaria all'uscita del Phase Detector per compensare tale differenza. La tensione di uscita risultante fornirà un segnale proporzionale alla frequenza di ingresso.

Se la frequenza del VCO con il suo ingresso nullo è molto distante da quella del segnale di ingresso si può procedere in 2 modi: si somma in serie all'uscita del Phase Detector un offset di tensione di valore opportuno oppure si aggiunge un amplificatore a largo guadagno all'uscita del Phase Detector, così che occorra una piccola tensione di squilibrio alla sua uscita per garantire le condizioni di aggancio.

L'uscita del sistema è la tensione V_E proporzionale alla frequenza del segnale di ingresso.

Il clock generato con la tecnica Phase Looked Loop , PLL 3

Occorre ricordare che la fase di un segnale periodico, per esempio sinusoidale, è:

$$\begin{aligned}\Phi &= 2\pi f_o t + \vartheta \\ &= \omega_o t + \vartheta\end{aligned}$$

Ovvero la fase è l'integrale della frequenza.

Pertanto, se applichiamo un segnale periodico alla nostra rete e generiamo un segnale di riferimento simile, siamo sensibili all'integrale del segnale stesso.

Il modello della rete, dal punto di vista del segnale, è:

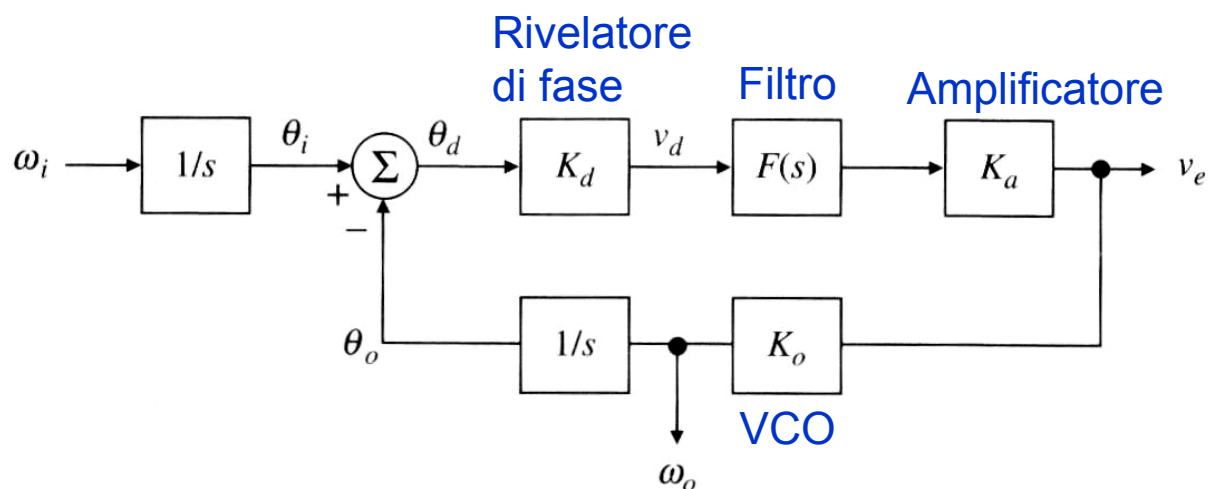


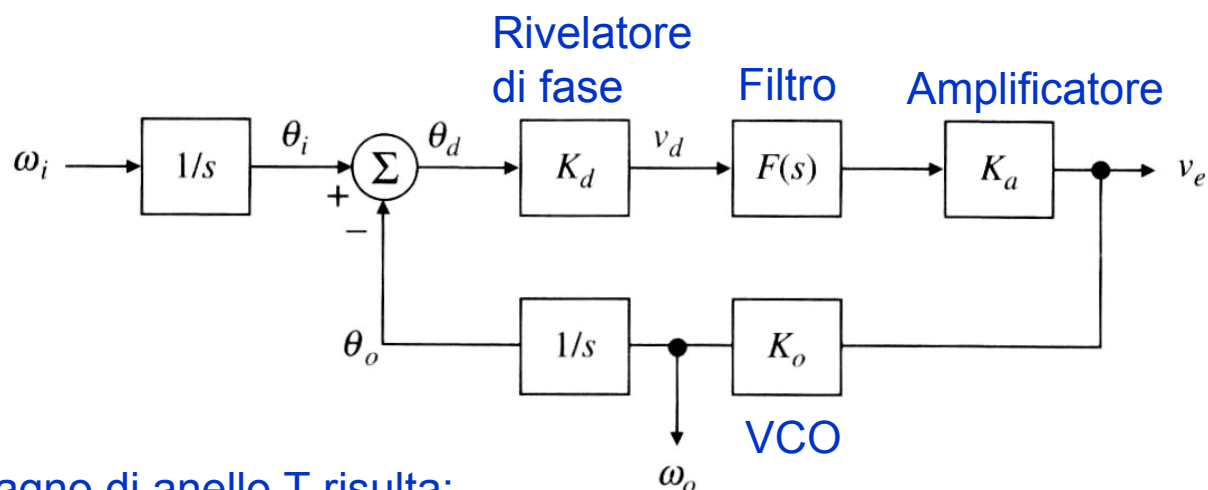
FIGURE 13.22

Block diagram of the basic PLL system in the locked condition.

Abbiamo che:

$$\begin{cases} \vartheta_i(t) = \omega_i t + \phi_i \\ \vartheta_o(t) = \omega_o t + \phi_o \end{cases} \quad \begin{cases} V_d(s) = K_d (\vartheta_i(s) - \vartheta_o(s)) \\ V_e(s) = K_a F(s) V_d(s) \end{cases} \quad \omega_o(s) = K_o V_e(s)$$

Il clock generato con la tecnica Phase Locked Loop , PLL 4



Il guadagno di anello T risulta:

$$T = -\frac{K_d F(s) K_a K_o}{s} \quad \beta = \frac{K_o}{s}$$

Di conseguenza se l'amplificatore K_a ha un guadagno molto grande ci aspettiamo che il segnale di uscita sia:

$$V_e \approx \frac{1}{\beta} \vartheta_i(s) = \frac{s}{K_o} \vartheta_i(s) = \frac{s}{K_o} \frac{\omega_i(s)}{s} = \frac{\omega_i(s)}{K_o}$$

Siccome possiamo avere qualche limitazione ad alta frequenza e l'amplificatore può avere guadagno finito, più esattamente possiamo scrivere:

$$V_e = \frac{s}{K_o} \frac{-T}{1-T} = \frac{1}{K_o} \frac{K_d F(s) K_a K_o}{s + K_d F(s) K_a K_o} \omega_i(s)$$

Se $F(s)$ non è presente, ovvero se $F(s)=1$, ci riduciamo a:

$$V_e = \frac{s}{K_o} \frac{-T}{1-T} = \frac{1}{K_o} \frac{K_d K_a K_o}{s + K_d K_a K_o} \omega_i(s)$$

In queste condizioni il PLL viene detto del primo ordine. Osserviamo che al primo ordine la rete presenta comunque un polo implicito.

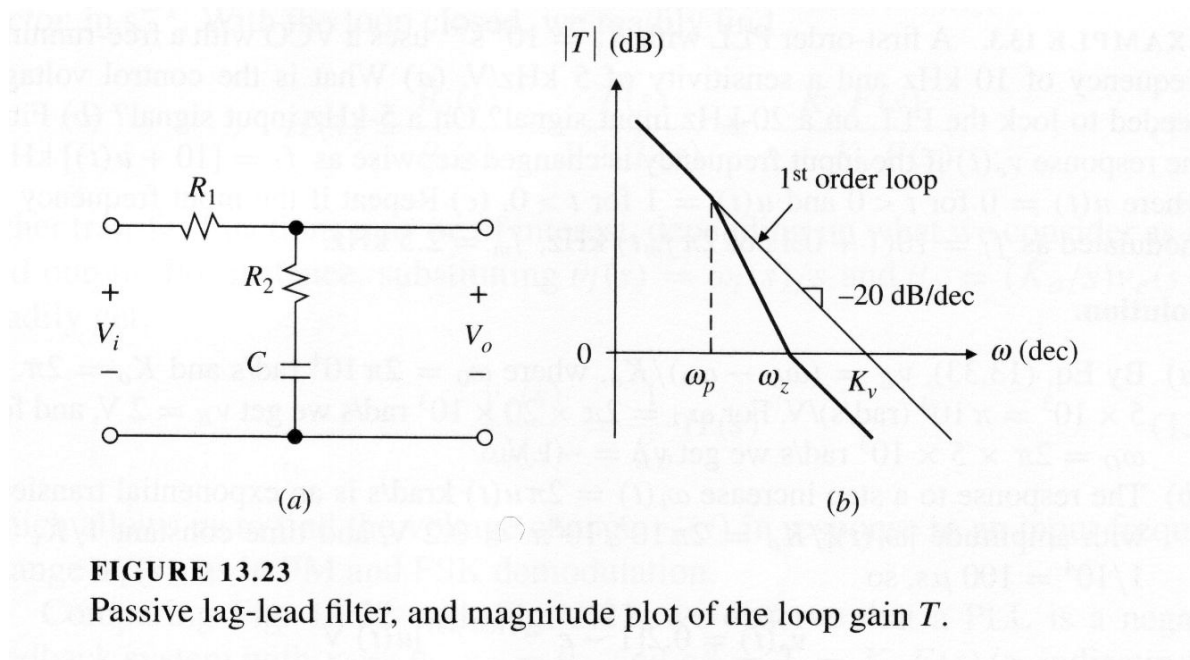
Il clock generato con la tecnica Phase Looked Loop , PLL 5

Se $F(s)$ è un filtro passa basso si dice che il PLL è del secondo ordine.

Spesso occorre avere $F(s)$ per limitare problemi di rumore (esempio la modulazione di frequenza nel campo radio). In questa circostanza però il sistema diviene a 2 poli, con possibilità di oscillazioni. Per evitare oscillazioni, piuttosto che 1 polo si introducono un polo ed uno zero posto a frequenza sufficientemente alta, in grado di compensare gli effetti di uno dei 2 poli presenti:

$$F(s) = \frac{s + z}{s + p}$$

L'implementazione è molto semplice:

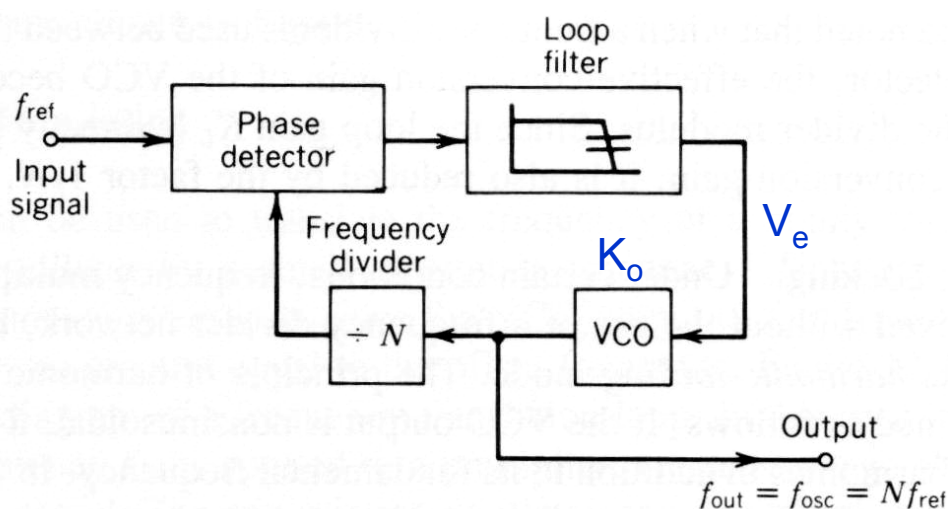


Il clock generato con la tecnica Phase Looked Loop , PLL 6

Supponendo per un attimo di sapere costruire il rivelatore di fase ed il VCO, vediamo come viene sfruttato il PLL con i microcontrollori.

Il nostro scopo è di produrre una frequenza maggiore di quella di ingresso.

Nella rete precedente lo scopo viene raggiunto facilmente se si aggiunge un divisore di frequenza dopo il VCO:



In questo caso infatti abbiamo che:

$$\beta = \frac{K_o}{N} \quad \Rightarrow \quad V_e = \frac{N}{K_o} \omega_i$$

Di conseguenza il segnale di uscita del VCO diviene:

$$\omega_{VCO} = K_o V_e = N \omega_i$$

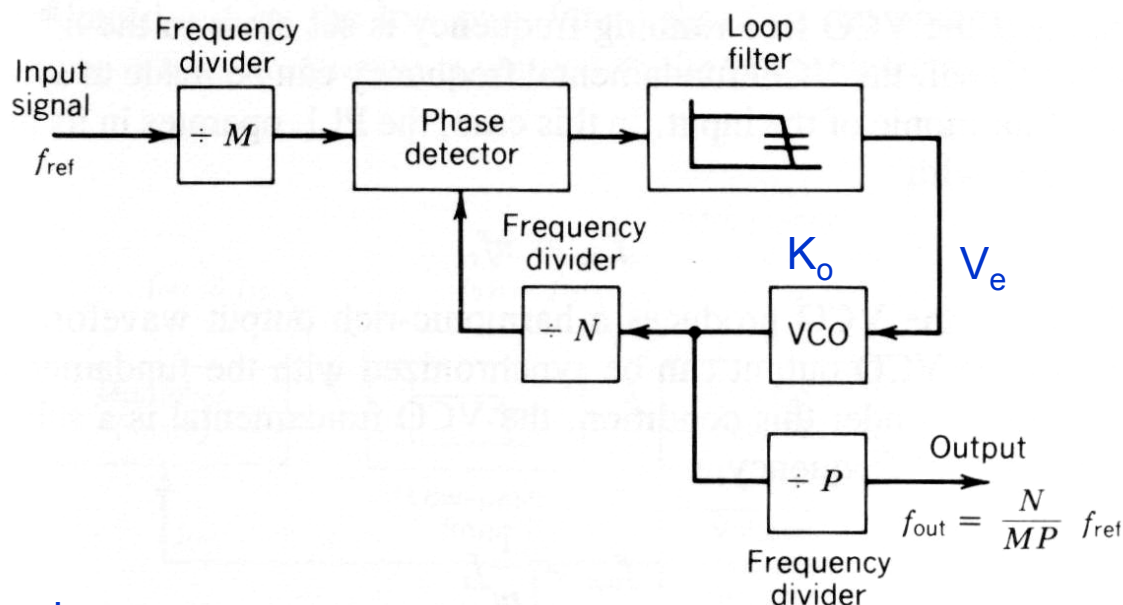
La frequenza del segnale preso all'uscita del VCO, piuttosto che all'uscita della rete, è proporzionale al segnale di ingresso in modo programmabile.

Inoltre, se il segnale di ingresso è molto stabile anche l'uscita lo sarà, anche se il VCO non lo fosse di sua natura.

Il clock generato con la tecnica Phase Locked Loop , PLL 7

Aggiungendo dei divisori di frequenza è possibile manipolare algebricamente la frequenza del segnale di uscita.

Per esempio:



Vale che:

$$V_e = \frac{N}{K_o} \frac{\omega_i}{M}$$

Quindi:

$$\omega_{VCO} = K_o V_e = \frac{N}{M} \omega_i$$

Ed infine:

$$\omega_{OUTPUT} = \frac{\omega_{VCO}}{P} = \frac{N}{MP} \omega_i$$

L'aspetto fondamentale della relazione ottenuta è che la frequenza del segnale di uscita può essere molto più grande del segnale di ingresso.

Nei microcontrollori esistono dei registri per mezzo dei quali si possono selezionare i coefficienti indicati in modo da ottenere la frequenza voluta in base alla frequenza del quarzo utilizzata.

Il clock generato con la tecnica Phase Looked Loop , PLL 8

Vediamo qualche esempio di come si possa realizzare un rivelatore di fase.

La forma più semplice la si ottiene usando un ex-or. Filtrando a bassa frequenza il segnale di uscita che si otterrebbe, si ottiene una retta con pendenza uguale al duty cycle.

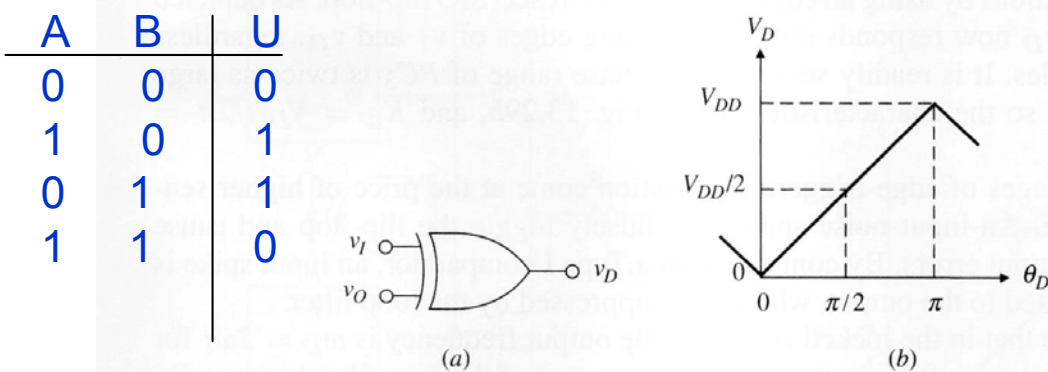


FIGURE 13.27

Type I phase comparator, and its output average V_D as a function of the input phase difference.

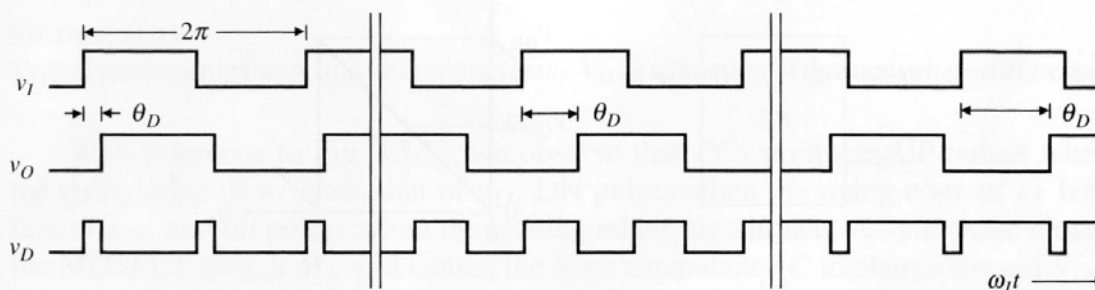


FIGURE 13.28

Typical waveforms for the Type I phase comparator in the locked condition: $\theta_D = \pi/6$ (left), $\theta_D = \pi/2$ (center), and $\theta_D = (5/6)\pi$ (right).

La retta che si ottiene alla uscita ci dice che il segnale V_D è nullo se i 2 segnali V_i e V_o sono in fase. V_D è a metà scala se V_i e V_D sono sfasati di un quarto di periodo. Infine il segnale è massimo se lo sfasamento è mezzo periodo.

L'ex-or è pertanto in grado di operare solo su π , e non sa riconoscere chi dei 2 segnali di ingresso è in anticipo sull'altro. Inoltre perde di efficacia se i 2 segnali di ingresso non hanno un duty cycle del 50 %.

Il clock generato con la tecnica Phase Looked Loop , PLL 9

Un rivelatore di fase che consente di essere indipendente dal duty cycle è il semplice FF S di tipo edge triggered.

Infatti solo il fronte di salita è in grado di cambiare lo stato dell'uscita.

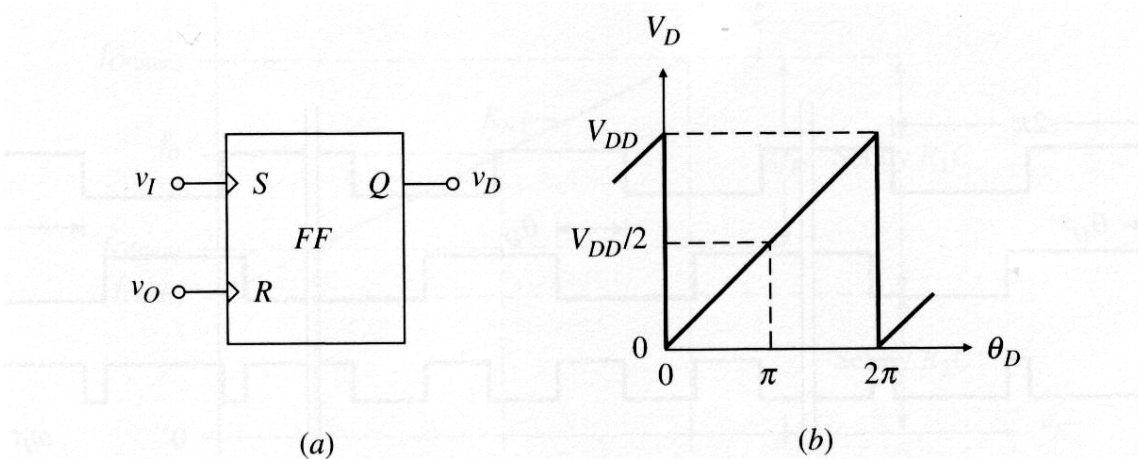


FIGURE 13.29

Type III phase comparator, and its output average V_D as a function of the input phase difference.

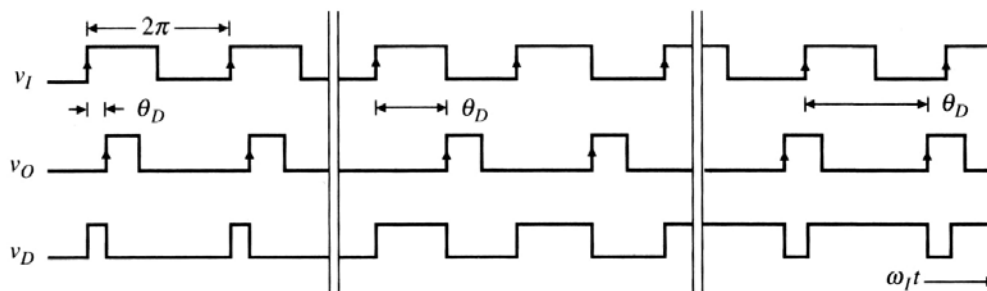


FIGURE 13.30

Typical waveforms for the Type III phase comparator in the locked condition: $\theta_D = \pi/4$ (left), $\theta_D = \pi$ (center), and $\theta_D = (7/4)\pi$ (right).

La sensitività sul solo fronte consente di estendere la sensibilità su tutto 2π . Lo svantaggio di questo tipo di rivelatore è di essere sensibile agli spikes di rumore.

Il clock generato con la tecnica Phase Locked Loop , PLL 10

La soluzione più completa che consente non solo di essere sensibile all'anticipo o ritardo di fase tra i 2 segnali, ma anche alla frequenza oltre che alla fase è la rete sotto:

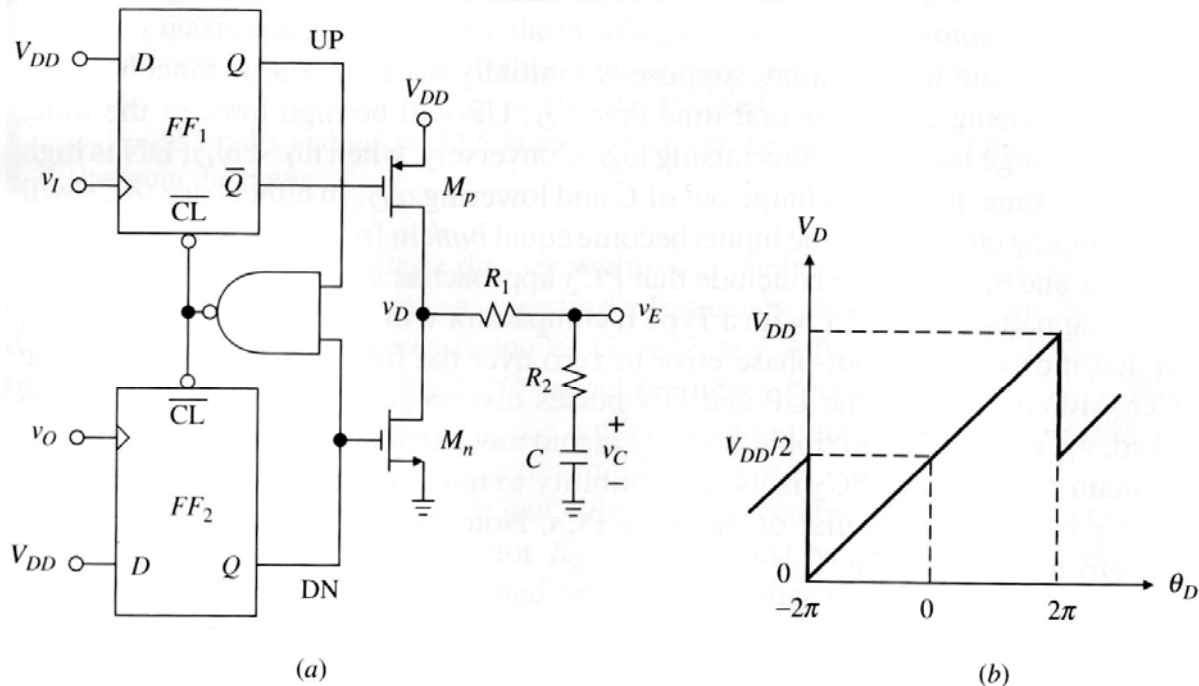


FIGURE 13.31

Type II phase comparator, and its output average V_D as a function of the input phase difference.

Vengono usati dei FF sensibili al fronte, quindi lo sfasamento è ben delineato. Se entrambi i segnali hanno transito l'uscita della porta NAND è bassa, entrambi i FF vengono azzerati con il risultato di spegnere entrambi i MOS: il condensatore tende a mantenere l'ultimo livello di tensione avuto.

Se arriva prima il fronte V_i di V_o il FF_1 è attivato, quindi anche il MOS M_p : il condensatore viene caricato verso l'alimentazione positiva.

Se arriva prima il segnale V_o di V_i è invece il FF_2 ad essere attivato: la capacità viene scaricata verso l'alimentazione negativa.

Quando entrambi i segnali hanno fatto commutare i 2 FF l'uscita della porta NAND diviene bassa. Conseguentemente i FF vengono resettati.

Il clock generato con la tecnica Phase Looked Loop , PLL 11

Il segnale di carica scarica viene integrato sul condensatore, che fornisce il segnale che deve essere mandato all'ingresso del VCO, dopo avere subito un eventuale amplificazione.

Un esempio di forma d'onda ottenibile è illustrata sotto:

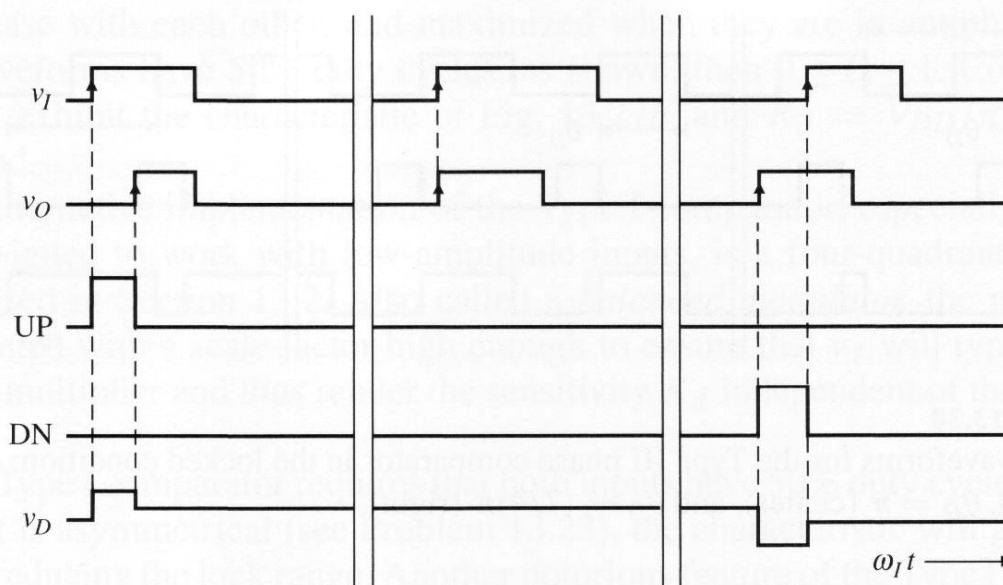


FIGURE 13.32

Typical waveforms for the Type II phase comparator for $\omega_O = \omega_I$: v_O lags v_I (left), v_O is in phase with v_I (center), and v_O leads v_I (right).

Il clock generato con la tecnica Phase Locked Loop , PLL 12

La realizzazione del VCO può seguire differenti modalità. Vediamone una abbastanza classica.

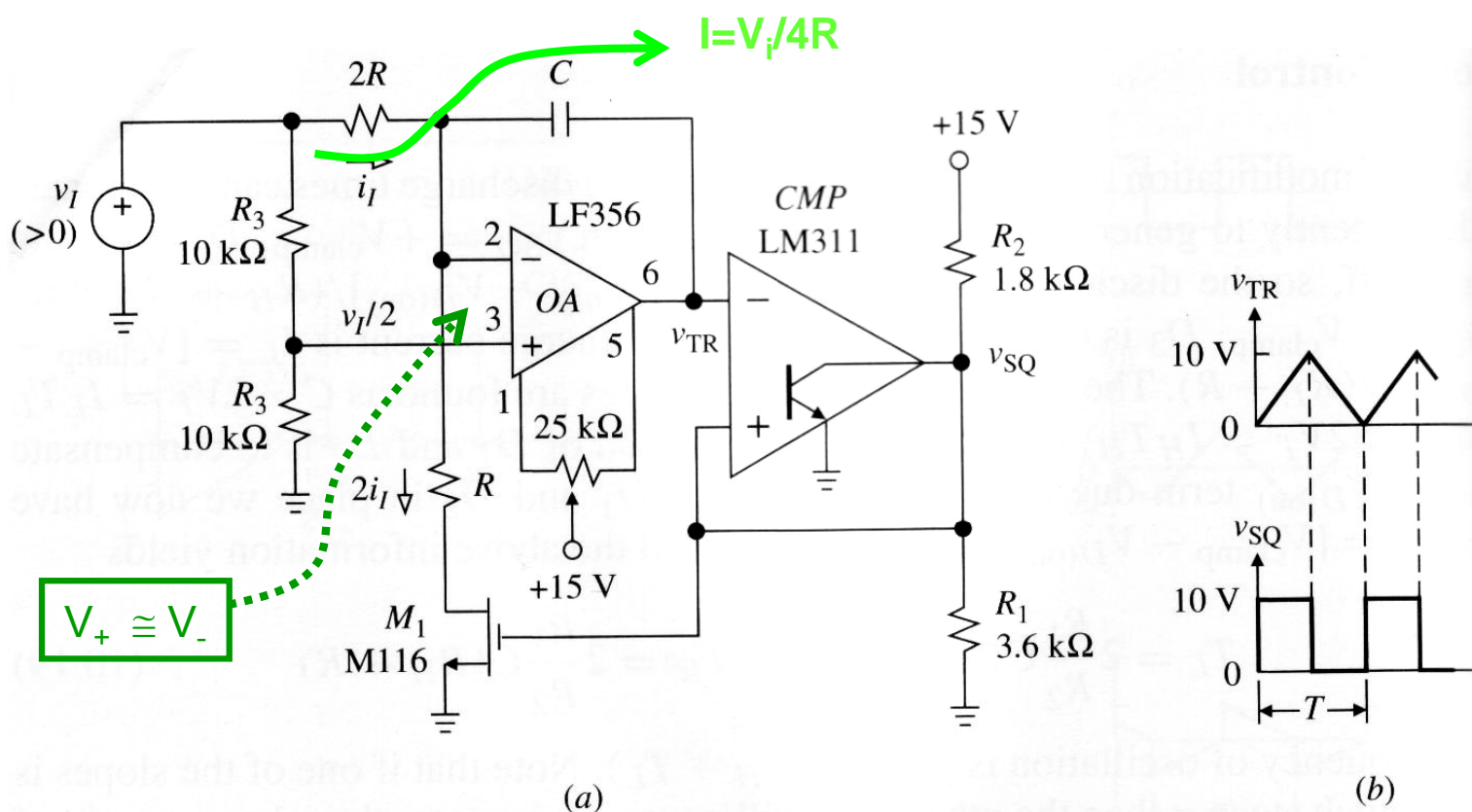


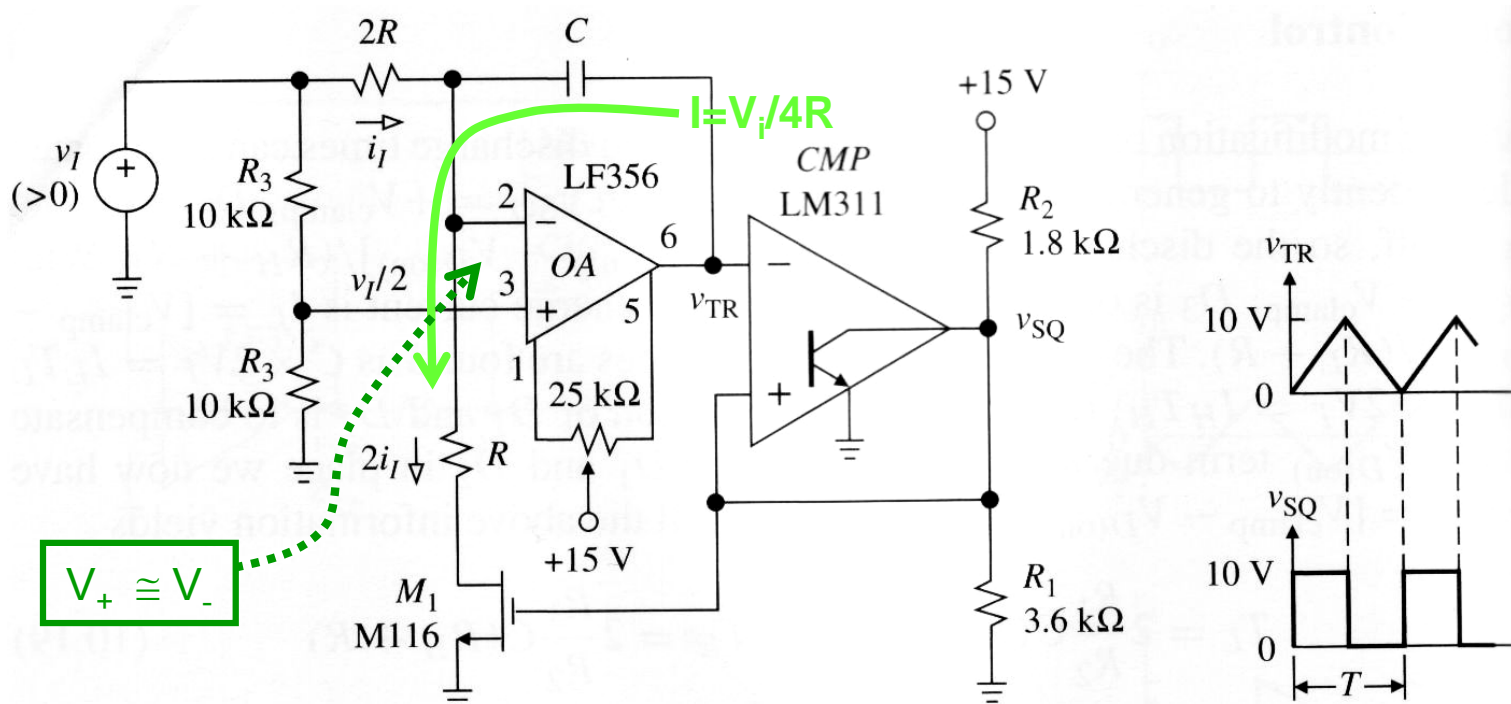
FIGURE 10.21

Voltage-controlled triangular/square-wave oscillator. (Power supplies are ± 15 V.)

Supponiamo inizialmente che l'uscita del comparatore CMP sia bassa, che significa che $V_{SQ} = V_{TL} \approx 0$ V. Questa condizione implica che l'uscita dell'integratore V_{TR} sia $> V_{TL}$. M_1 si trova spento in questa circostanza.

Il potenziale V_+ è $V_i/2$. La corrente entrante al nodo V_- è: $V_i/4R$. Questa corrente andrà tutta a scaricare il condensatore C che farà scendere l'uscita V_{TR} fino a che diverrà $< V_{TL}$.

Il clock generato con la tecnica Phase Looked Loop , PLL 13



Quando si verifica che $V_{TR} < V_{TL}$ il comparatore cambia stato, che significa che la sua uscita V_{SQ} diverrà $V_{TH} = 10 \text{ V}$ ($= R1/(R1+R2) \cdot 15$).

Quando V_{SQ} è V_{TH} , la tensione di gate di M1 è sufficiente per fare commutare il MOS nel suo stato ON. La resistenza ad esso collegata drena corrente dal terminale invertente: $V_i/2R$.

La corrente nel condensatore si inverte e diviene: $V_i/4R - V_i/2R = -V_i/4R$.
L'uscita V_{TR} comincerà a salire fino a che raggiungerà V_{TH} , facendo ripartire il ciclo.

Il tempo di scarica soddisferà: $-V_i/(4RC)T_1 = V_{TL} - V_{TH}$.

Il tempo di carica: $V_i/(4RC)T_2 = V_{TH} - V_{TL}$.

Risulta $T_1=T_2=1/2f$. La frequenza di lavoro è pertanto:

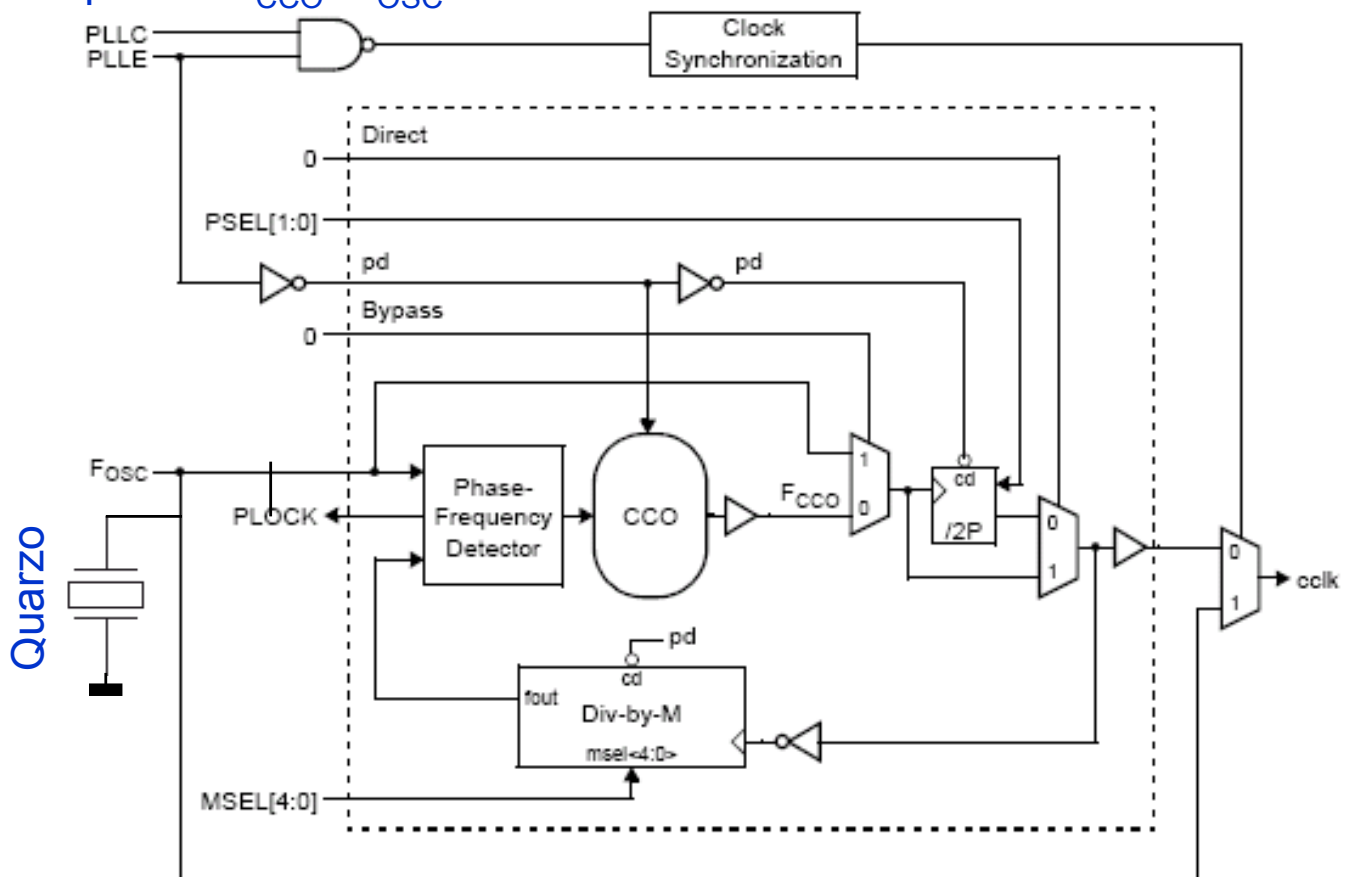
$$f = \frac{1}{2} \frac{V_i}{V_{TH} - V_{TL}} \frac{1}{4RC} = \frac{V_i}{V_{TH} - V_{TL}} \frac{1}{8RC}$$

Abbiamo alla fine ottenuto che la frequenza di lavoro è proporzionale al segnale analogico di ingresso V_i .

Il clock generato con la tecnica Phase Looked Loop , PLL 14

Un esempio di PLL lo si trova nell'ARM PLC2138. Lo schema del PLL è qui sotto.

F_{OSC} è il segnale prodotto dal quarzo connesso al micro. C'è un rivelatore di fase che è connesso ad un CCO, Current Control Oscillator. La reazione è chiusa dal divisore di frequenza per M, che consente di ottenere in uscita la frequenza $F_{CCO} = F_{OSC} M$.



Una serie di registri consente di impostare e rendere operativo il PLL, o estrometterlo dalla generazione del clock del sistema.

Table 14: PLL Registers

Address	Name	Description	Access
0xE01FC080	PLLCON	PLL Control Register. Holding register for updating PLL control bits. Values written to this register do not take effect until a valid PLL feed sequence has taken place.	R/W
0xE01FC084	PLLCFG	PLL Configuration Register. Holding register for updating PLL configuration values. Values written to this register do not take effect until a valid PLL feed sequence has taken place.	R/W
0xE01FC088	PLLSTAT	PLL Status Register. Read-back register for PLL control and configuration information. If PLLCON or PLLCFG have been written to, but a PLL feed sequence has not yet occurred, they will not reflect the current PLL state. Reading this register provides the actual values controlling the PLL, as well as the status of the PLL.	RO
0xE01FC08C	PLLFEED	PLL Feed Register. This register enables loading of the PLL control and configuration information from the PLLCON and PLLCFG registers into the shadow registers that actually affect PLL operation.	WO

Pulse Wide Modulation, PWM 1

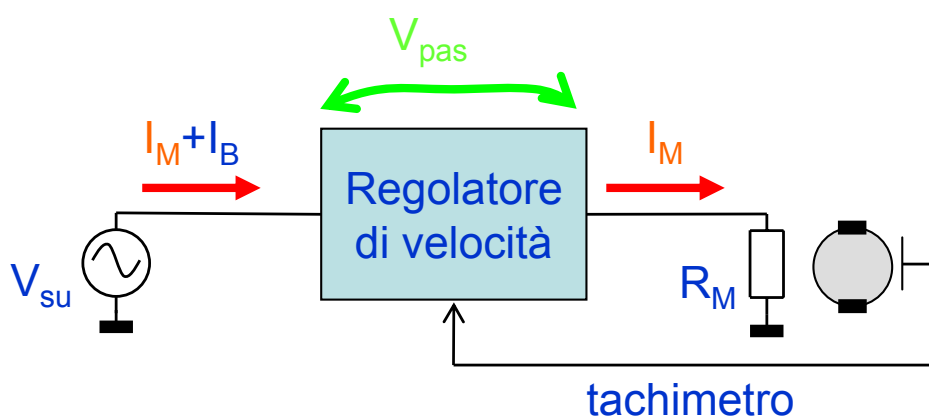
La tecnica PWM viene usata per cercare di ottimizzare l'energia spesa nel pilotare dispositivi di potenza. Consente di minimizzare la perdita di energia consumata nel polarizzare il dispositivo di potenza.

E' possibile sfruttare questa proprietà quando risulta verificata la possibilità di potere fornire l'energia ad una velocità molto maggiore della abilità del dispositivo di poterla assorbire.

Il caso tipico si ha quando si deve pilotare un motore. La combinazione di uno o più magneti ed uno o più avvolgimenti in cui viene fatta scorrere una corrente di opportuna intensità compone il motore.

Il modello più semplificato che si possa dedurre per un motore è quello di un'induttanza in serie ad un resistore, che ne descrive l'energia consumata.

Cerchiamo di capire il significato del dispendio di energia.



Supponiamo per un attimo il motore descritto dalla sola parte dissipativa. E supponiamo anche che la velocità del motore debba essere controllata, risultando funzione della corrente assorbita I_M .

L'alimentazione V_{su} dovrà essere scelta con margine, superiore a $R_M I_{Mmax}$.

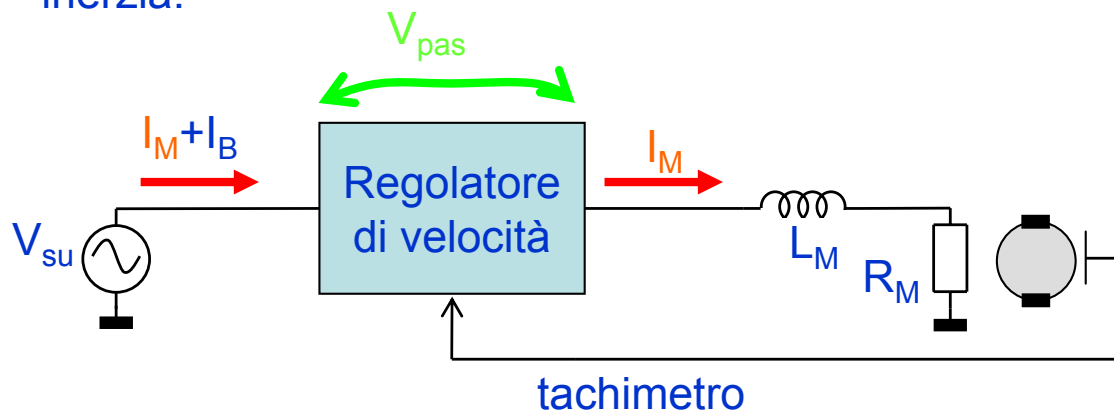
In un qualsiasi istante l'energia che dobbiamo fornire non è solo $I_M^2 R_M$

Ma bensì: $I_M^2 R_M + (I_M + I_B) V_{pas}$. La quantità $(I_M + I_B) V_{pas}$ è tutta

energia persa, che riduce l'efficienza del sistema.

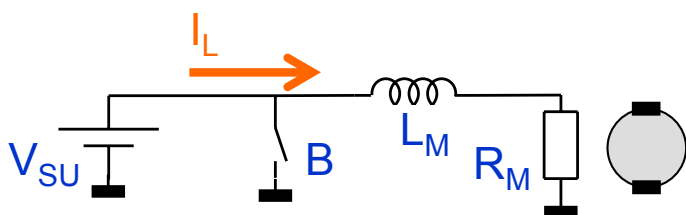
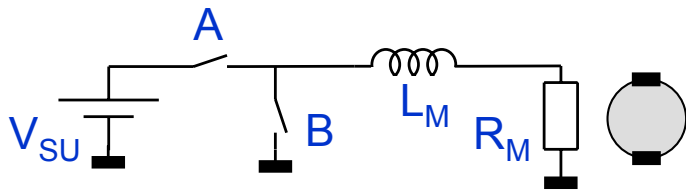
Pulse Wide Modulation, PWM 2

Aggiungendo al modello del motore la parte induttiva significa aggiungere un elemento in grado di conservare energia, che consente una certa inerzia.



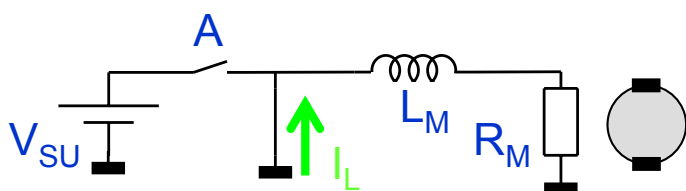
In una situazione di regime la presenza dell'induttanza non determina vantaggi o svantaggi.

Supponiamo però di considerare la rete:



Si chiuda solo A per un tempo breve. Se I_L è la corrente media che passa nel periodo di chiusura si immagazzina nell'induttanza un'energia: $\frac{1}{2} L I_L^2$

La stessa corrente viene trasformata in calore, o meglio, energia di movimento da R_M .

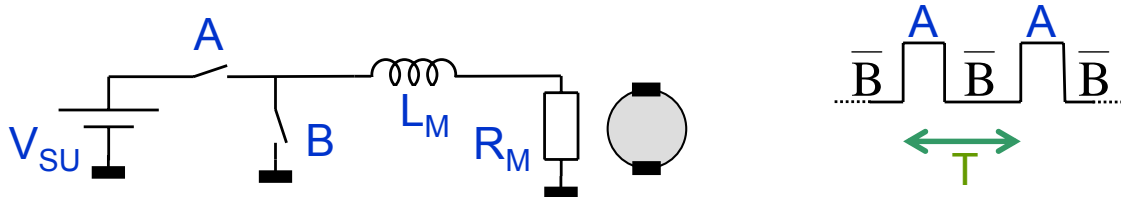


Successivamente si chiuda solo B per un tempo breve. L'energia immagazzinata dall'induttanza viene ora dissipata dalla resistenza R_M .

Pulse Wide Modulation, PWM 3

Aumentando o diminuendo il periodo di chiusura di A rispetto a quello di B è quindi possibile variare l'energia fornita, ovvero la velocità del motore.

Questa modalità di funzionamento può essere realizzata mantenendo la frequenza delle aperture e chiusure dei 2 interruttori costante. Si fa quello che si dice una modifica del Duty Cycle, il rapporto tra il tempo in cui i comandi sono mantenuti.



Quale è il vantaggio di questa tecnica?

La logica che deve cercare di regolare la velocità deve agire sugli interruttori A e B.

Quando uno dei 2 interruttori è aperto la caduta di tensione ai suoi capi è massima. Però la corrente che lo attraversa è nulla. La potenza dissipata è quindi nulla.

Quando uno dei 2 interruttori è chiuso la corrente che lo attraversa è massima, ma in compenso l'impedenza che offre è nulla, o molto piccola. Ancora la potenza dissipata è nulla, o molto piccola.

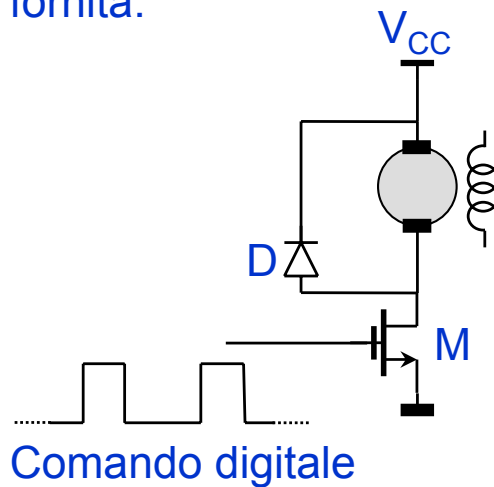
Il risultato ottenuto è quindi di essere in grado di trasferire energia dal sistema di alimentazione al motore senza perderne ai capi del sistema di regolazione. Inoltre l'alimentazione V_{SU} potrebbe essere anche considerevolmente $> R_M I_M$, e di valore non preciso e stabile.

All'atto pratico, nella fase di chiusura gli interruttori non sono ideali, ma mostrano un resistenza serie, sia pure trascurabile. Questo fa sì che il trasferimento di energia non sia completo. Però si arriva comunque facilmente al 90 – 95 % di resa.

Questo tipo di controllo si presta in modo canonico ad essere implementato con un μ -controllore.

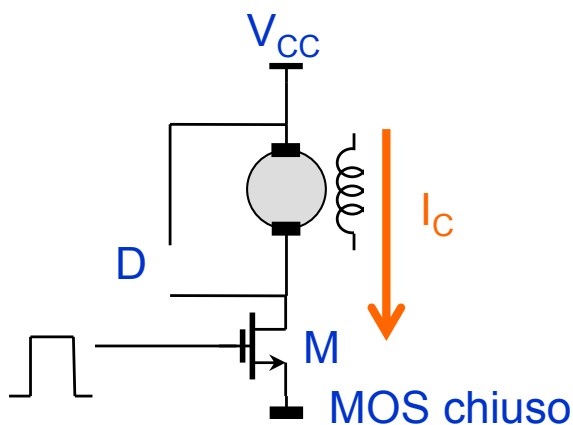
Pulse Wide Modulation, PWM 4

La situazione più semplice si ha quando il motore deve ruotare sempre nello stesso verso, con il controllo che agisce solo sulla velocità, o energia fornita.



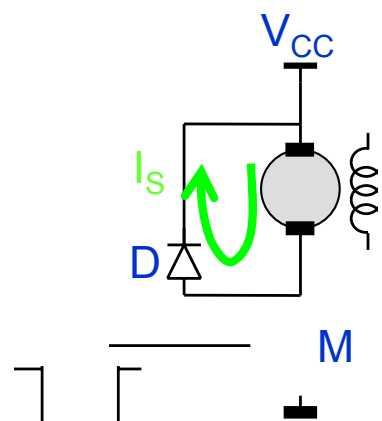
Serve solo un comando digitale che commuta il MOS M dallo stato OFF (interruttore aperto) allo stato ON (interruttore chiuso).

Il Diodo D svolge l'ufficio del secondo interruttore.



Dando un impulso positivo di intensità adeguata al Gate, M entra in conduzione nello stato ON, in linearità piena. La corrente I_M può liberamente fluire dall'alimentazione positiva attraverso il motore ed M. La dissipazione di M è piccola perché M si trova nello stato lineare, dove offre il minimo della sua impedenza tra Drain e Source. Il Diodo D rimane aperto, giacché ai suoi capi si trova una polarizzazione inversa.

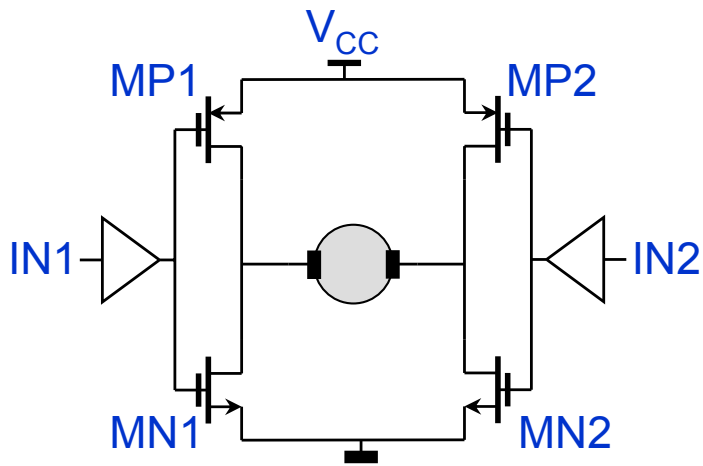
Se l'impulso al gate di M diviene nullo M entra in interdizione. Anche in questo caso la sua dissipazione è trascurabile.



Siccome la parte induttiva del motore vorrebbe fare circolare la corrente accumulata nella fase precedente, D entra in conduzione, scaricando l'induttanza. Per questa funzione svolta, D è detto diodo di ricircolo. L'energia persa in questo modo è $I_S V_D$. Per questa ragione spesso si usano diodi Schottky, che presentano una bassa tensione quando polarizzati direttamente.

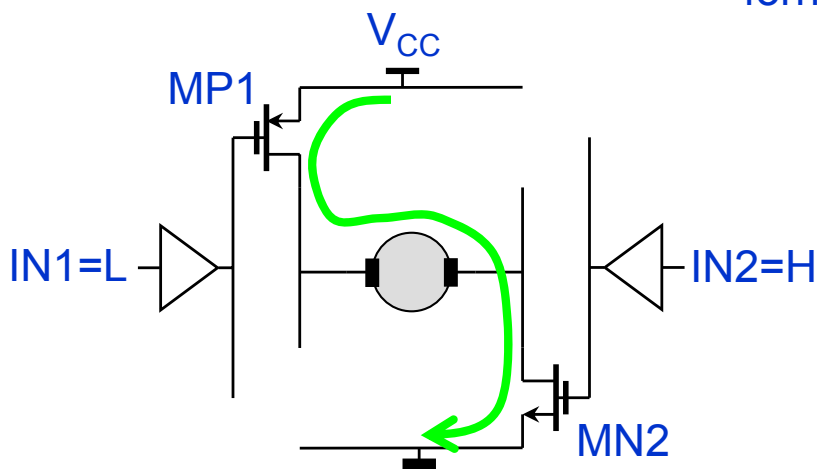
Pulse Wide Modulation, PWM 5

Spesso però il motore deve potere ruotare nei 2 sensi possibili. In questa circostanza si adotta la configurazione così detta a ponte.

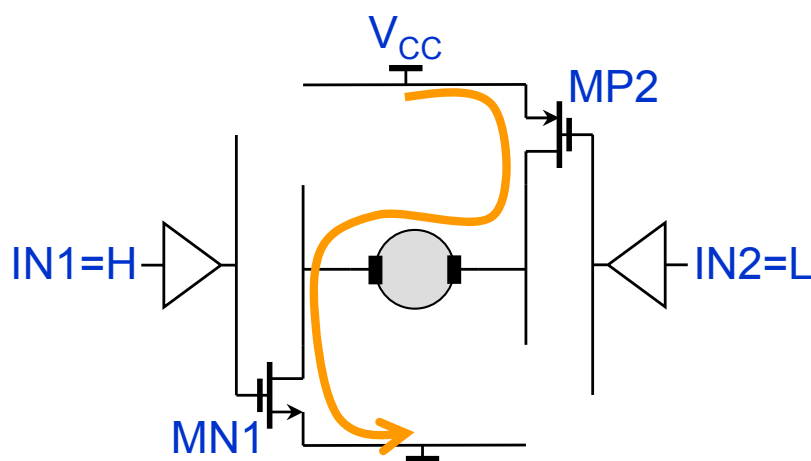


Nel pilotaggio a ponte abbiamo 2 coppie di MOS complementari con i quali possiamo cercare di fare scorrere la corrente nel motore nei 2 versi possibili.

I 2 buffer di amplificazione sono necessari perché se i MOS sono di grande area le loro capacità di ingresso diventano elevate e difficili da pilotare con porte logiche tradizionali. Inoltre il livello di tensione di pilotaggio potrebbe essere più elevato di quello fornito dalla logica in utilizzo.



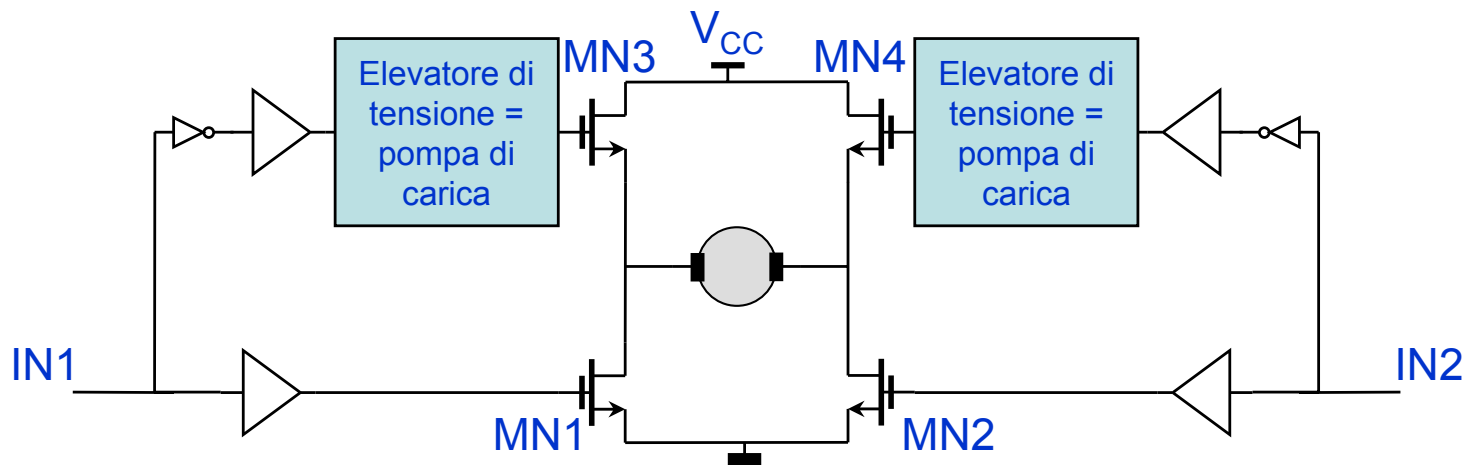
Con i comandi logici illustrati si accende la coppia di MOS MP1 ed MN2 e la corrente nel motore scorre da sinistra a destra.



Invertendo lo stato dei 2 segnali EN1 ed EN2 la corrente nel motore scorre in senso opposto, da destra verso sinistra.

Pulse Wide Modulation, PWM 6

Come sappiamo però è più agevole disporre di MOS N aventi una $R_{DS\ ON}$ piccola rispetto ai MOS P, a parità di area. La configurazione a ponte viene allora realizzata con soli MOS N.



I MOS appartenenti allo stesso ramo vanno pilotati con segnali complementari, ovvero il segnale di pilotaggio è connesso direttamente ad un MOS, mentre è negato per l'altro.

La tensione V_{GS} di MN3 ed MN4, i MOS così detti HIGH Side, deve essere adeguata, affinché essi possano operare in regime di profonda condizione Ohmica. Però la loro tensione V_S potrebbe essere alta per via della ddp che si presenta ai capi del motore quando in funzione. Si ricorre allora all'uso di un elevatore di tensione, detto pompa di carica, che consente di applicare ai Gate di MN3 ed MN4 una tensione di valore adeguato, anche superiore alla tensione, V_{CC} , di alimentazione fornita al dispositivo.

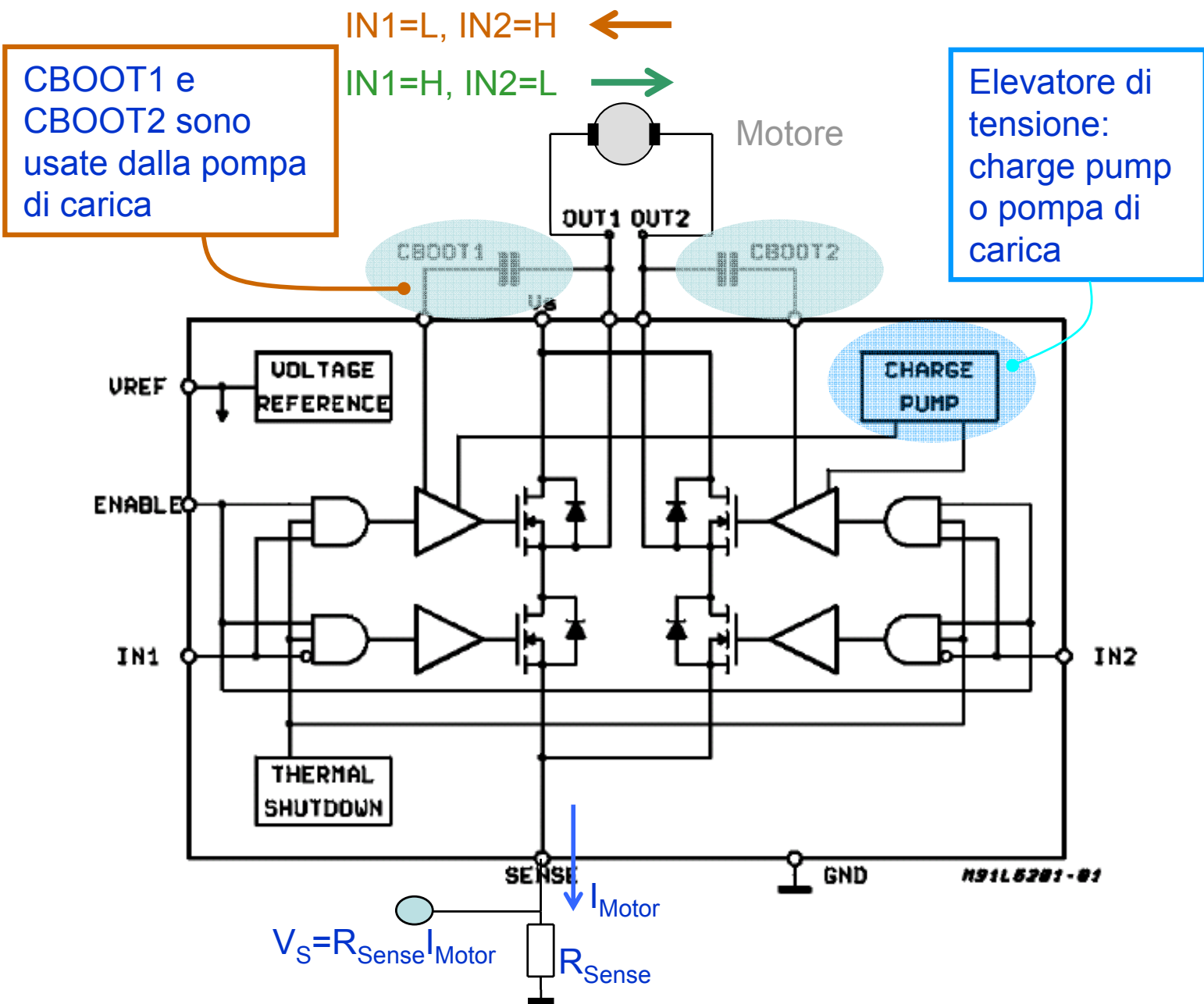
Per potere generare una tensione più elevata dell'alimentazione le pompe di carica lavorano in logica commutata.

Ad esempio con $IN1=L$ ed $IN2=H$ si pongono nello stato ON sia MN3 che MN2: la corrente può circolare attraverso il motore da MN3 ad MN2.

Se $IN1=H$ ed $IN2=L$, i MOS operativi sono MN4 ed MN1. La corrente nel motore si inverte scorrendo ora da MN4 a MN1.

Pulse Wide Modulation, PWM 7

Esempio: l'L6202, capace di pilotare motori con carichi di corrente fino a 4 A, ha una resistenza ON dei MOS N di 0.3Ω .



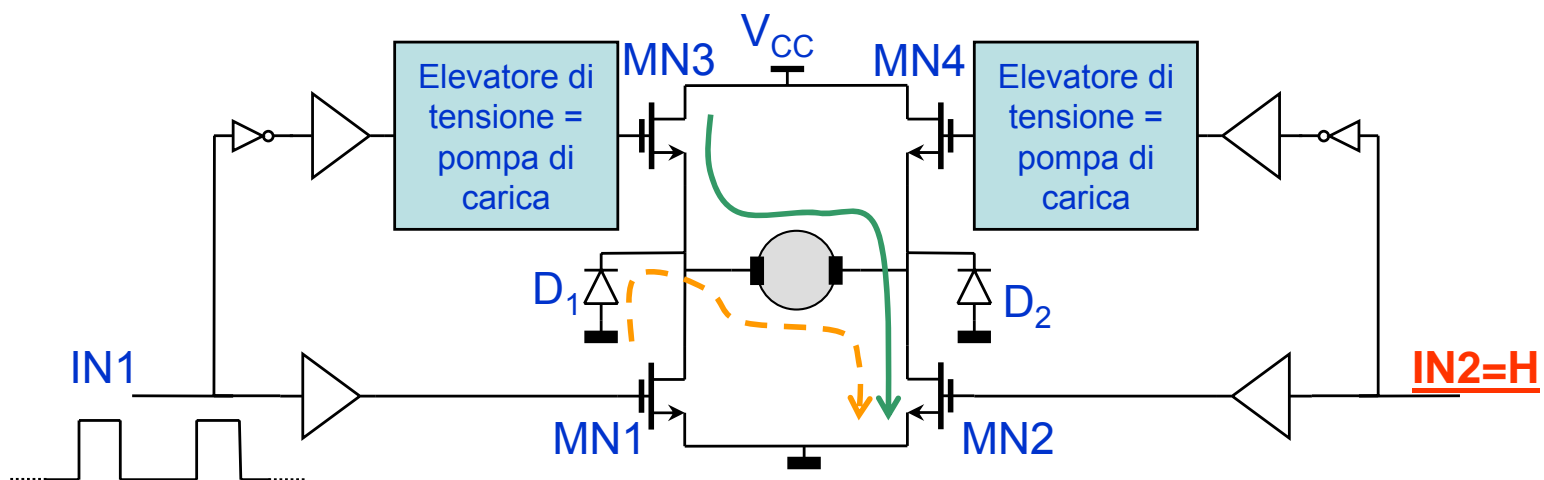
Vi sono 4 MOS N che possono essere pilotati con dei segnali digitali. C'è un segnale di abilitazione globale, ENABLE. I comandi per il funzionamento sono 2: IN1 ed IN2, forniti in modo complementare ai gate appartenenti allo stesso ramo.

Vi è anche un'uscita di Sense attraverso cui scorre la corrente che circola nel motore. Connettendo un piccolo resistore, R_{Sense} , in serie a questa uscita è possibile monitorare la corrente del motore, a scopo di sicurezza, o per realizzare una reazione lineare, che mantenga costante la corrente assorbita.

Pulse Wide Modulation, PWM 8

Il controllo PWM nella configurazione a ponte necessita l'aggiunta di 2 diodi che consentano la realizzazione della parte puramente "inerziale" delle fasi di operazione.

Supponiamo per un attimo di fare ruotare il motore in un solo verso. La parte induttiva assorbe energia quando MN3 ed MN2 sono in funzione. La corrente circola nel motore secondo la linea continua in questa fase.



Quando MN3 viene spento, mentre MN2 viene lasciato ON, per inerzia l'induttanza si scarica attraverso il diodo D_1 . In questo caso la corrente circola seguendo la linea tratteggiata, sempre nello stesso verso nel motore.

Fintantoché la corrente nel motore deve scorrere nel medesimo verso considerato ora, MN2 viene sempre mantenuto ON, mentre il solo MN3 è soggetto al controllo PWM.

Ovviamente se la corrente nel motore deve circolare in verso opposto, sarà MN1 il MOS che dovrà essere mantenuto ON, mentre MN4 sarà sottoposto al controllo PWM e D_2 subirà passaggio di corrente quando MN4 si troverà nello stato OFF.

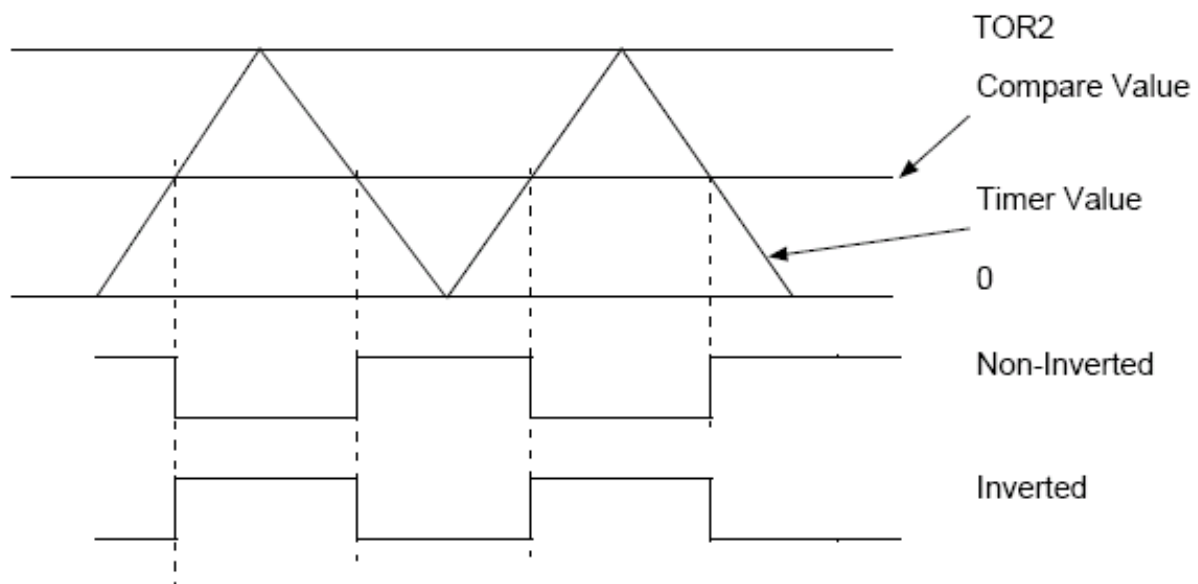
Va menzionato che in genere si preferisce porre in parallelo al motore la serie di una capacità ed un resistore per attenuare i picchi di corrente durante le commutazioni. Allungando la vita del sistema e minimizzando le emissioni EMI.

Pulse Wide Modulation, PWM 9

I μ -controllori possiedono spesso la struttura interna per potere effettuare un controllo PWM.

Un **Timer** viene fatto contare in su ed in giù, creando una sorta di dente di sega. Il segnale di uscita digitale di PWM viene creato su di un pin. Lo stato alto al pin lo si ha quando il timer si mantiene inferiore al valore impostato nel registro **Compare Value**.

Ad esempio per avere il 50 % di Duty Cycle il Compare Value dovrebbe essere posto a metà del fondo scala del Timer. Ogni altro valore intermedio determina un corrispondente Duty Cycle.



Per ottenere una buona risoluzione temporale il Timer deve essere fatto contare a velocità sufficientemente elevata. In genere un PLL viene usato per creare la frequenza del timer.

Sappiamo che il Timer ha 16 bit nell'8051. Supponendo di fare operare il PLL a 32 MHz si ottiene che per un fondo scala di 16 bit del timer la frequenza del PWM è di: $PLL_{freq}/2^{16}/2=244 \text{ Hz}$. Se il fondo scala fosse limitato a 10 bit la frequenza di PWM risulterebbe: $PLL_{freq}/2^{10}/2=15625 \text{ Hz}$.

Una serie di registri va impostata per l'operazione del PWM: TMOD, TDIR, OCR, TOR, etc.

Cella di memoria FLASH 1

La cella di memoria di tipo flash si basa sull'uso del così detto MOS con gate flottante.

In questo MOS abbiamo la presenza di 2 gate, uno dei quali è sepolto e non accessibile perché isolato con dielettrico sia verso il canale che verso il GATE che sta sopra, il Control Gate.

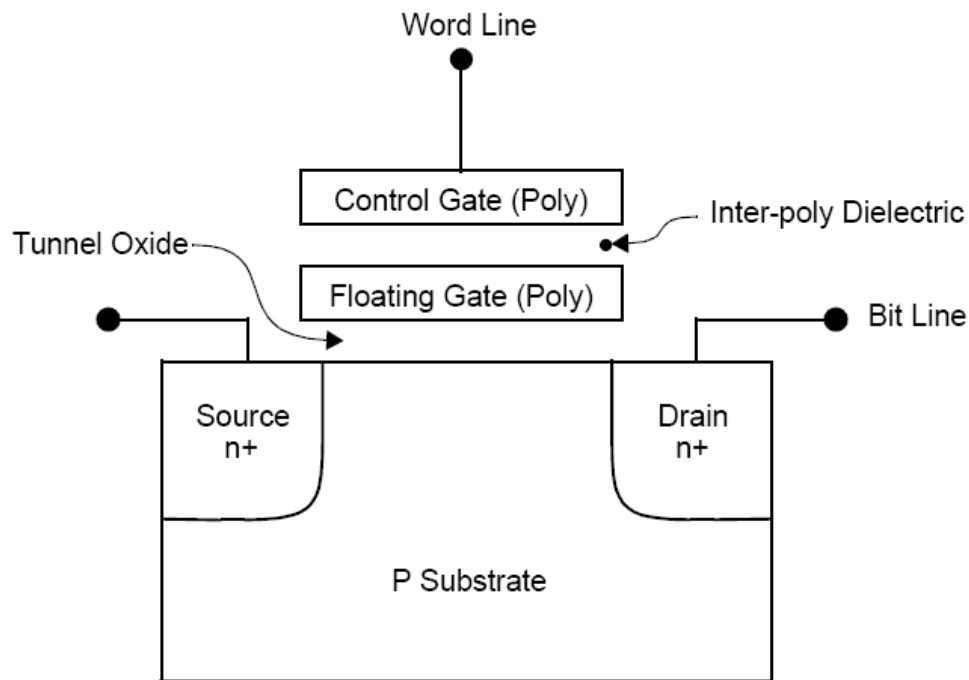


Figure 1. AMD Flash Memory Cell

La presenza o meno di elettroni sul gate flottante determina lo stato della cella, in quanto la tensione di soglia, V_T , viene modificata.

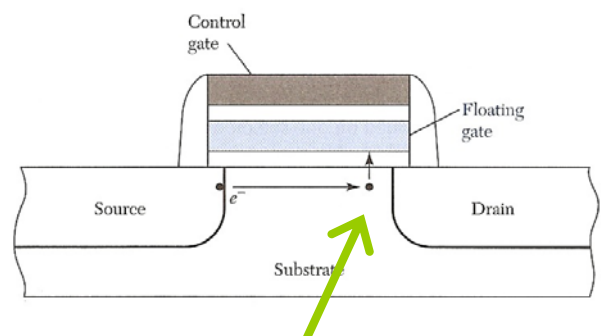
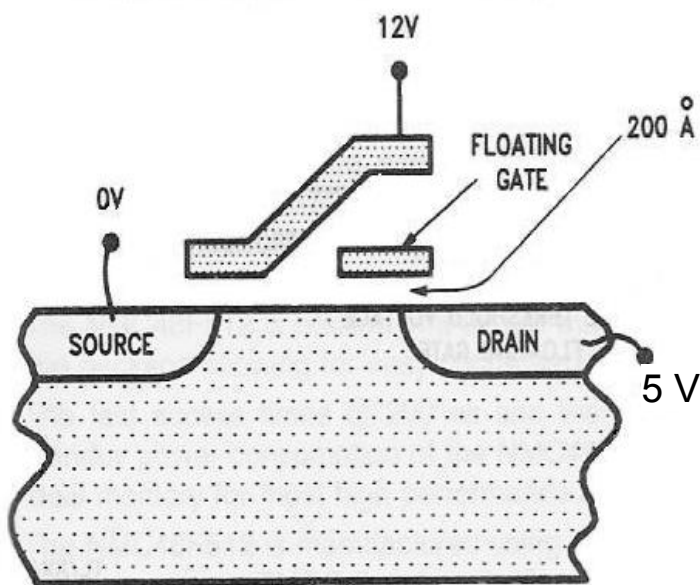
Elettroni presenti sul gate flottante non possono fuggire, una volta inseriti. Lo stato della cella può perciò essere mantenuto per anni senza problemi e senza che vi sia perdita di dati anche quando l'alimentazione viene rimossa.

Affinché nelle usuali condizioni di lettura non si abbia perdita di dati, il processo di scrittura/cancellazione deve essere eseguito ad alti campi elettrici.

Cella di memoria FLASH 2

L'inserimento di elettroni nel gate flottante può avvenire se si è in grado di fornire energia che li metta in grado di superare la barriera di potenziale offerta dall'ossido che sta sopra il canale. Facendo adeguatamente sottile l'ossido si è in grado di controllare l'energia necessaria. Il meccanismo che si sfrutta è il così detto **Hot carrier injection**: si applica un potenziale elevato al gate per un tempo molto breve, quindi si fa passare corrente nel canale in modo da avere elettroni presenti che possano compiere il salto.

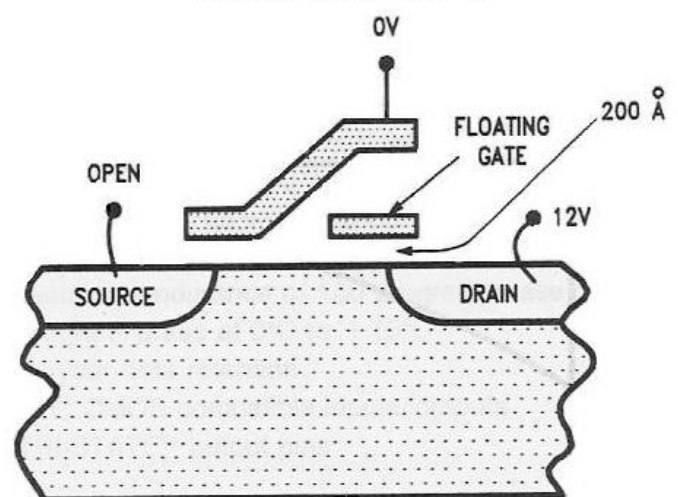
Programming Via Hot Electron Injection



Elettrone che compie il salto

Per togliere gli elettroni si agisce in modo opposto. Si applica un potenziale al drain alto rispetto al gate in modo che gli elettroni attraversino l'isolante tornando nel canale. Il meccanismo è il: **quantum tunneling**. In questo caso non serve il canale di conduzione. Quindi il source si lascia flottante.

Erasure Via Tunneling



Per invelocire in genere si ripristina la condizione con gate scarico in blocchi, mentre si programma per bit.

Comunque sia è necessaria la presenza di una tensione maggiore di quelle usate nella logica. Tensione che va generata

Le Pompe di Carica 1

La pompa di carica è stata introdotta proprio per ovviare alla necessità dell'alt campo elettrico. Nelle Flash il campo elettrico elevato serve per fare muovere una minima quantità di elettroni nel gate flottante. Pertanto l'energia assorbita non è elevata. I circuiti a pompa di carica sono infatti poco capaci di fornire energie elevate, quindi si prestano a queste applicazioni.

Il circuito deve essere monolitico, per cui l'uso delle induttanze è pressoché vietato. Per generare un potenziale più alto dell'alimentazione occorre sfruttare le proprietà di immagazzinamento della carica dei condensatori, combinato con l'azione di commutatori.

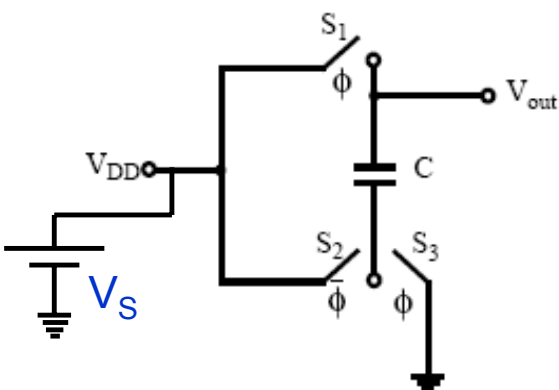
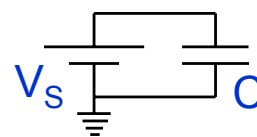


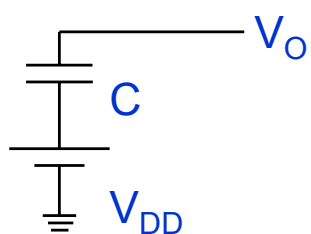
Fig. 1. Simple voltage doubler

Durante la fase Φ S_1 ed S_3 sono chiusi: la capacità si carica al valore V_{DD} , risultando, come circuito equivalente:



Supponendo che l'impedenza di uscita di V_S sia trascurabile, il condensatore si carica al valore CV_{DD} quasi istantaneamente.

Durante la fase $\bar{\Phi}$ si chiude il solo interruttore S_2 . Si ottiene la configurazione serie di V_{DD} e C :



Il carico non è connesso. La carica ai capi di C deve mantenersi costante. Di conseguenza deve valere che:

$$(V_O - V_{DD})C = V_{DD}C \Rightarrow V_O = 2V_{DD}$$

La tensione di uscita è stata raddoppiata. Però questo esempio vale solo per una commutazione nell'ipotesi che non vi sia carico che assorba corrente.

Le Pompe di Carica 2

Per fare sì che anche in presenza di carico passivo si possa mantenere il potenziale all'uscita occorre aggiungere un ulteriore condensatore di valore adeguato che faccia da tampone, aggiungendo la carica dissipata in modo periodico.

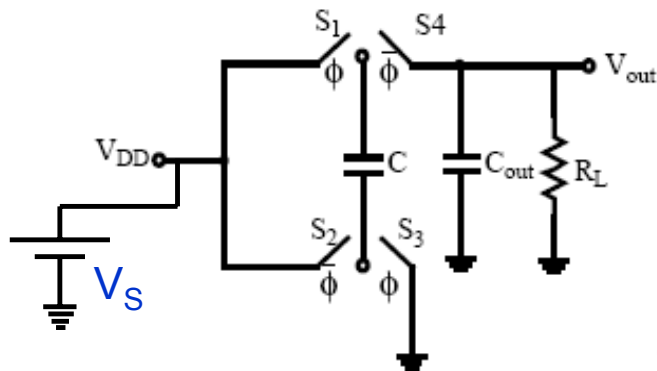
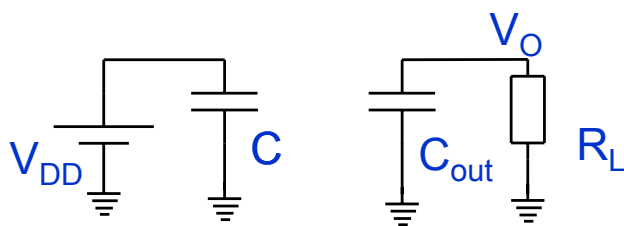


Fig. 2. Practical voltage doubler

Partiamo dalla situazione iniziale con tutto spento per arrivare a regime.

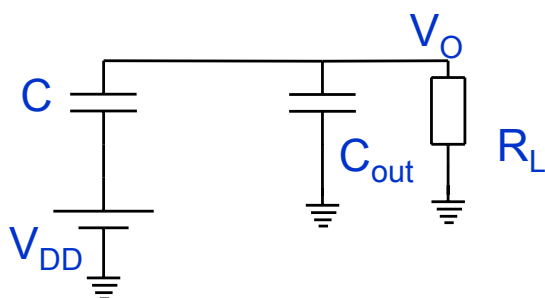
Le condizioni che assumiamo sono:
costante di tempo $C_{OUT}R_L \gg$ periodo di commutazione delle 2 fasi, $1/2f$.

Il modello per la fase Φ è:



Se V_{DD} è approssimabile ad un generatore ideale durante l'intervallo di tempo in cui viene mantenuta la configurazione abbiamo che su C si pone una carica: $Q_{Cin} = V_{DD}C$. Mentre l'uscita rimane nulla.

Il modello per la fase $\bar{\Phi}$ è:



Inizialmente C_{out} si caricherà attraverso C, per cui: $Q_{Cin} = Q_{Cfin} + Q_{out}$:

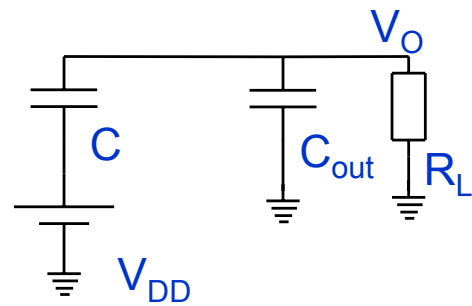
$$V_{DD}C = V_O C_{out} + (V_O - V_{DD})C$$

Da cui:

$$V_O = \frac{2C}{C_{out} + C} V_{DD}$$

Alla fine della fase qualche cosa viene dissipato dalla resistenza R_L . Per cui si avrà una perdita di tensione ΔV_O .

Le Pompe di Carica 3

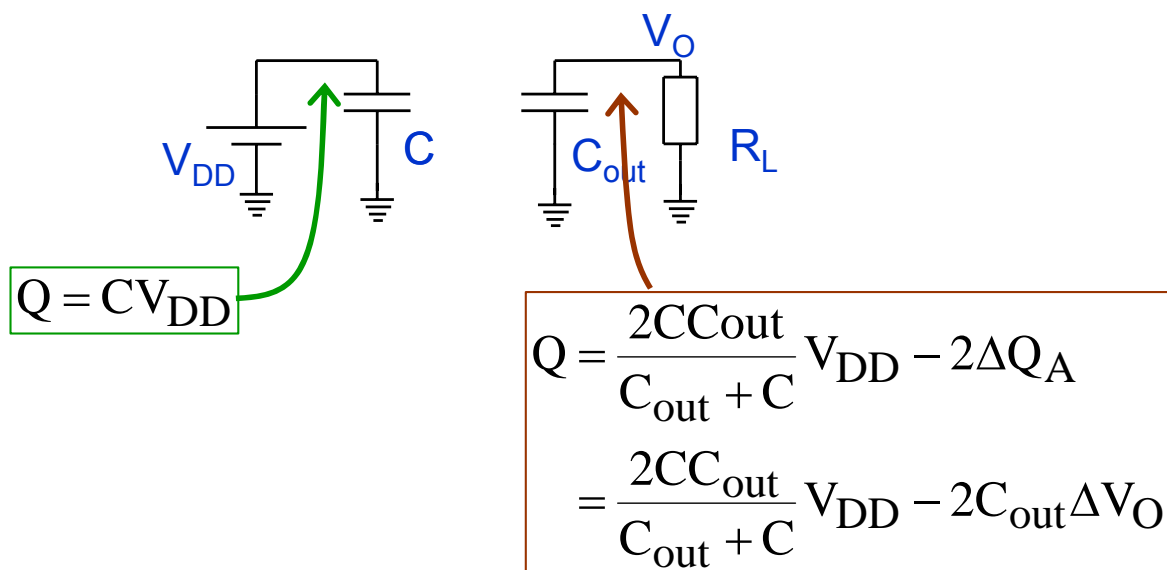


La variazione di tensione genera una variazione di carica ai capi di C e C_L :

$$\Delta Q_A = (C + C_{out}) \Delta V_O \quad \text{se } C_{out} \gg C \quad \approx \quad C_{out} \Delta V_O = I_L \Delta t \approx \frac{I_L}{2f}$$

Dove $T/2 = 1/2f$ è l'intervallo in cui la fase in oggetto è mantenuta attiva.

Alla fine della nuova fase Φ avremo:



Perciò all'inizio della nuova fase $\bar{\Phi}$ sarà:

$$V_{DD}C + C_{out} \left\{ \frac{2C}{C_{out} + C} V_{DD} - 2\Delta V_O \right\} = V_O C_{out} + (V_O - V_{DD})C$$

Da cui:

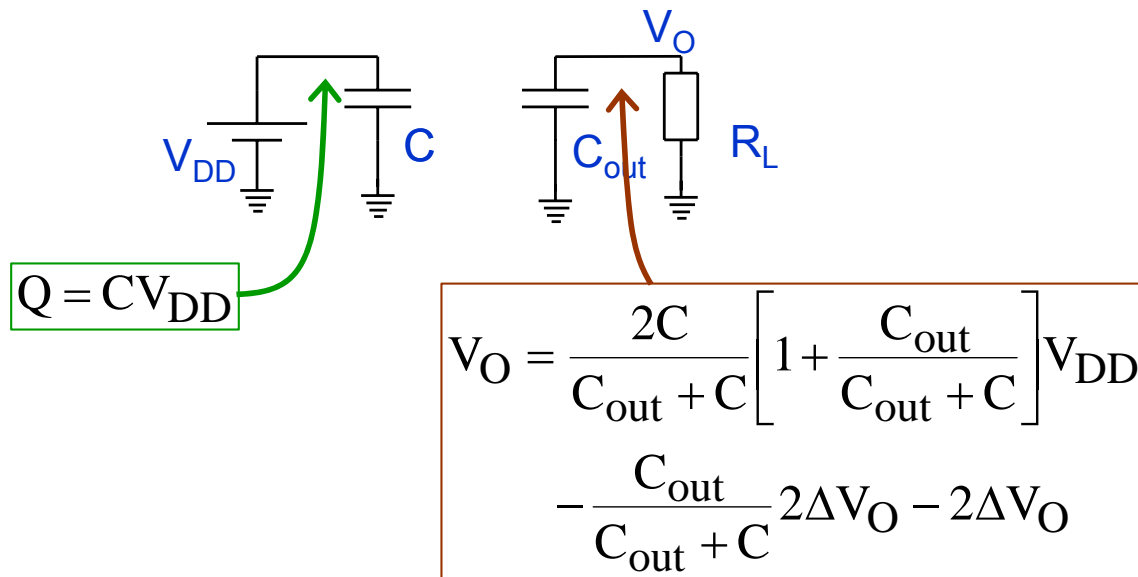
$$V_O = \frac{2C}{C_{out} + C} \left[1 + \frac{C_{out}}{C_{out} + C} \right] V_{DD} - \frac{C_{out}}{C_{out} + C} 2\Delta V_O$$

Alla fine della nuova fase $\bar{\Phi}$ avremo una ulteriore caduta di tensione ΔV_O :

$$V_O = \frac{2C}{C_{out} + C} \left[1 + \frac{C_{out}}{C_{out} + C} \right] V_{DD} - \frac{C_{out}}{C_{out} + C} 2\Delta V_O - \Delta V_O$$

Le Pompe di Carica 4

Un'ulteriore fase Φ :



Ulteriore dell'ulteriore fase $\bar{\Phi}$:

$$V_{DD}C + C_{out} \left\{ \frac{2C}{C_{out} + C} \left[1 + \frac{2C_{out}}{C_{out} + C} \right] V_{DD}C - \frac{C_{out}}{C_{out} + C} 2\Delta V_O - 2\Delta V_O \right\} = V_OC_{out} + (V_O - V_{DD})C$$

E:

$$V_O = \frac{2C}{C_{out} + C} \left[1 + \frac{C_{out}}{C_{out} + C} + \left(\frac{C_{out}}{C_{out} + C} \right)^2 \right] V_{DD} - \left[\frac{C_{out}}{C_{out} + C} + \left(\frac{C_{out}}{C_{out} + C} \right)^2 \right] 2\Delta V_O$$

Ed alla fine di $\bar{\Phi}$

$$V_O = \frac{2C}{C_{out} + C} \left[1 + \frac{C_{out}}{C_{out} + C} + \left(\frac{C_{out}}{C_{out} + C} \right)^2 \right] V_{DD} - \left[\frac{C_{out}}{C_{out} + C} + \left(\frac{C_{out}}{C_{out} + C} \right)^2 \right] 2\Delta V_O - \Delta V_O$$

Le Pompe di Carica 5

Generalizzando, alla fine della k-esima fase $\overline{\Phi}$

$$\begin{aligned}
 V_O &= \frac{2C}{C_{out} + C} \sum_{i=0}^k \left(\frac{C_{out}}{C_{out} + C} \right)^i V_{DD} - \sum_{i=1}^k \left(\frac{C_{out}}{C_{out} + C} \right)^i 2\Delta V_O - \Delta V_O \\
 &= \frac{2C}{C_{out} + C} \sum_{i=0}^k \left(\frac{C_{out}}{C_{out} + C} \right)^i V_{DD} - \sum_{i=0}^k \left(\frac{C_{out}}{C_{out} + C} \right)^i 2\Delta V_O + \Delta V_O \\
 &= \left\{ \frac{2C}{C_{out} + C} V_{DD} - 2\Delta V_O \right\} \sum_{i=0}^k \left(\frac{C_{out}}{C_{out} + C} \right)^i + \Delta V_O
 \end{aligned}$$

Ma:

$$\sum_{i=0}^{\infty} x^i = \frac{1}{1-x} \quad \text{se } |x| < 1 \quad (\text{serie geometrica})$$

Nel nostro caso, a regime:

$$\sum_{i=0}^{\infty} \left(\frac{C_{out}}{C_{out} + C} \right)^i = \frac{1}{1 - \frac{C_{out}}{C_{out} + C}} = \frac{C_{out} + C}{C}$$

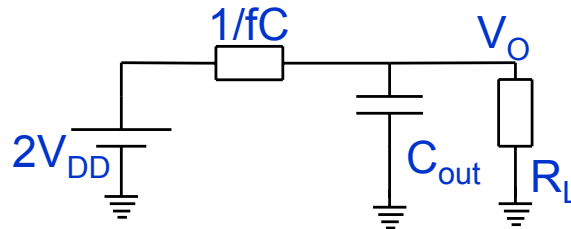
$$\begin{aligned}
 V_O &= 2V_{DD} - \frac{C_{out} + C}{C} 2 \frac{I_L}{2f(C_{out} + C)} + \frac{I_L}{2f(C_{out} + C)} \\
 &= 2V_{DD} - \frac{I_L}{fC} + \frac{I_L}{2f(C_{out} + C)} \\
 &\approx 2V_{DD} - \frac{I_L}{fC} \quad \left(\frac{I_L}{2f(C_{out} + C)} = \text{ripple su } C_{out} \right)
 \end{aligned}$$

Le Pompe di Carica 6

In definitiva abbiamo che:

$$V_O \approx 2V_{DD} - \frac{I_L}{fC}$$

Il modello equivalente della relazione ottenuta è:



La combinazione di interruttori ed una coppia di capacità ha permesso di creare una tensione doppia rispetto a quella del generatore.

L'impedenza equivalente della struttura non dipende dalla capacità C_{out} che serve solo da tampone, ma dal valore della capacità commutata, C . Questo perché la carica trasferita dal generatore all'uscita passa attraverso C stessa.

V_O presenta un ripple che dipende dal valore di C_L . Questo ripple è approssimabile a:

$$V_{RIPPLE} \approx \frac{I_L}{fC_{out}}$$

L'impedenza di uscita dipende da C e dal periodo di commutazione. Ad esempio con $C=1$ pF ed $f=1$ MHz l'impedenza d'uscita diviene $1/fC=1$ M Ω , molto grossa.

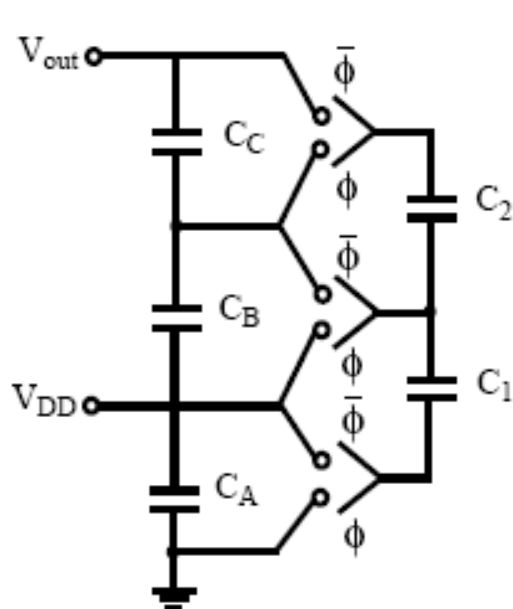
Viste le grandi impedenze di uscita che si hanno i circuiti a pompa di carica sono usati come riferimenti di tensione in situazioni dove l'assorbimento di energia richiesto non è elevato come nelle memorie flash o negli elevatori di tensione dei gate dei circuiti MOS di potenza.

Con la tecnica a pompa di carica è possibile produrre tensioni di livello superiore ad un fattore 2. Basta aumentare il numero di capacità da commutare ed i corrispondenti interruttori.

Le Pompe di Carica 7

Per realizzare il moltiplicatore basteranno comunque 2 fasi.

Uno schema di principio che ci consente di ottenere una tensione pari a $3V_{DD}$ è questo:



Iniziamo con la fase Φ . C_1 è posta in parallelo a V_{DD} .

Nella fase successiva $\bar{\Phi}$ C_1 è posta in || a C_B . Supposte uguali C_B viene caricata a $V_{DD}/2$.

Ancora Φ che connette C_1 a V_{DD} e C_B in || a C_2 che viene caricata a $V_{DD}/4$.

Nella nuova $\bar{\Phi}$ C_2 è in || a C_C che viene caricata a $V_{DD}/8$.

Fig. 3. Cockcroft-Walton voltage multiplier

Dopo le prime commutazioni l'uscita viene caricata a $V_{DD} + V_{DD}/2 + V_{DD}/8 = 13/8 V_{DD}$.

Continuando il processo ad ogni set di commutazioni si aggiunge carica verso l'uscita.

Dopo qualche tempo avremo che $V_O = 3V_{DD}$.

In questo ipotetico schema non abbiamo il carico.

Il primo schema reale realizzato in forma monolitica è di Dickson.

Le Pompe di Carica 8

Nello schema di Dickson gli interruttori ideali sono sostituiti da diodi.

Il processo inizia con la fase Φ a massa, quindi la fase $\bar{\Phi}$ alta, V_{Φ} . Il primo condensatore connesso a D_1 si carica a $V_{IN} - V_D$, dove V_D è la ddp ai capi del diodo in diretta. Ovviamente in questa condizione D_2 è spento.

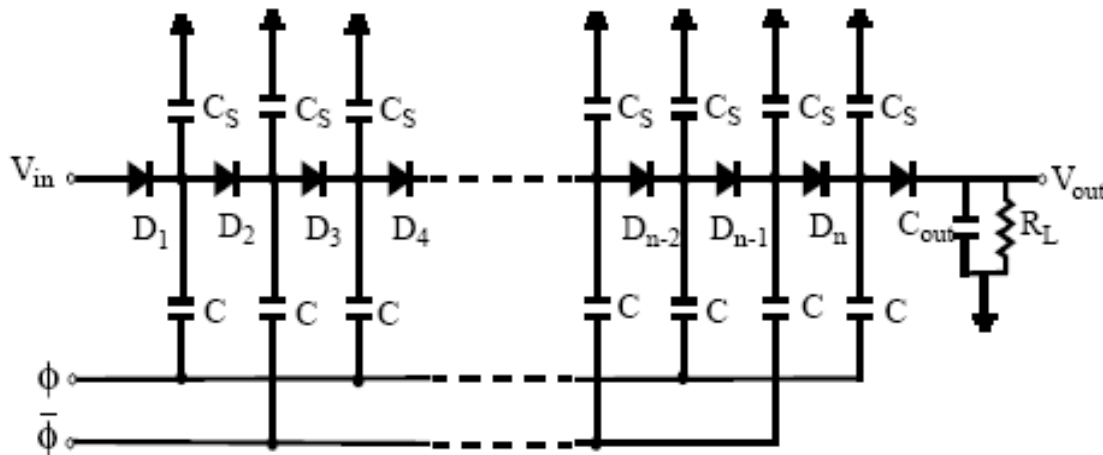


Fig. 4. Dickson charge pump

Nella fase successiva è Φ a V_{Φ} mentre $\bar{\Phi}$ è a massa. D_1 si spegne mentre D_2 si accende. La capacità connessa a D_2 si carica quindi a $V_{IN} - V_D + V_{\Phi} - V_D$, ovvero $V_{IN} + V_{\Phi} - 2V_D$.

Continuando l'iterazione abbiamo, a regime, che $V_{n+1} - V_n = V_{\Phi} - V_D - \Delta V_O$.

Dove ΔV_O rappresenta la caduta di tensione all'uscita dovuta alla carica assorbita da R_L . Questa carica deve essere trasportata dall'ingresso verso l'uscita da ogni capacità. In sostanza è come se tutte le capacità fossero in serie.

Quindi:

$$V_N - V_{IN} = N[V_{\Phi} - V_D - \Delta V_O]$$

E perciò:

$$V_O = V_{IN} + N[V_{\Phi} - V_D - \Delta V_O] - V_D$$

L'ultimo V_D sottratto è la caduta subito prima della capacità tampone C_{out} .

Le Pompe di Carica 9

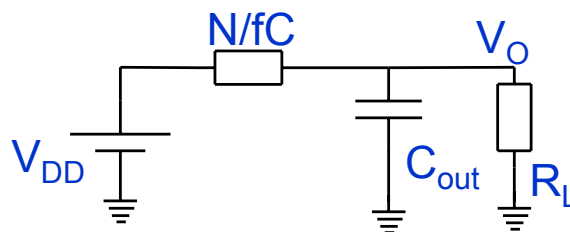
Come nei casi precedenti abbiamo che la quantità di carica conseguente a ΔV_O è:

$$\Delta Q = C\Delta V_O \quad \text{con} \quad \Delta Q = \frac{I_L}{f} \quad \text{da cui} \quad \Delta V_O = \frac{I_L}{fC}$$

Perciò:

$$V_O = \underbrace{V_{IN} + N[V_\Phi - V_D] - V_D}_{V_{DD}} - N \frac{I_L}{fC}$$

Il circuito equivalente diviene ancora:



Abbiamo pertanto un'impedenza di uscita che risulta essere N volte quella della singola capacità.

A questo va aggiunta poi la perdita di efficienza dovuta alle capacità parassite C_S , non considerate ed anche alla possibile presenza di cross-talk da parte del clock. Tutto questo si traduce in una tensione di uscita che può essere sensibilmente minore di quanto aspettato, ma comunque più elevata rispetto alla tensione di ingresso e di commutazione.

Ci si aspetta anche un ripple dato da:

$$V_{\text{RIPPLE}} \approx \frac{I_L}{fC_{\text{out}}}$$

Esistono attualmente molte altre soluzioni, tutte volte a cercare di minimizzare le perdite di efficienza. Tutte le attuali soluzioni usano MOS come interruttori, o diodi equivalenti, molto più efficienti ed aventi minori perdite derivanti dal cross-talk.

Le linee di trasmissione 1

Nel caso si avesse a che fare con segnali veloci la lunghezza delle linee che connettono la sorgente del segnale ed il o i ricevitori non possono essere trascurate.

La limitazione nella velocità di trasmissione delle onde elettromagnetiche è la velocità della luce nel mezzo trasmissivo.

Nel nostro caso il mezzo trasmissivo sono le piste dei circuiti stampati, le linee di connessione interne ai circuiti integrati stessi ed i cavi di collegamento utilizzati.

I concetti da tenere in considerazione quando si ha a che fare con tempi di propagazione non trascurabili sono 2:

Le onde elettromagnetiche possono venire riflesse. Possiamo avere l'onda composta dalla sovrapposizione dell'onda che si muove in una direzione e dell'onda riflessa che ritorna indietro:

$$f(x, t) = f_1(x - vt) + f_2(x + vt)$$

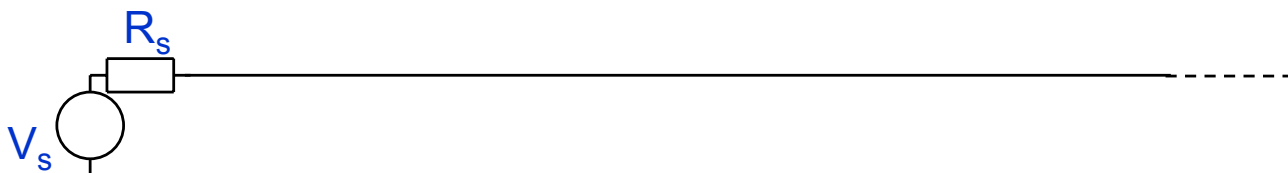
La velocità nel mezzo è finita:

$$v_L = \frac{1}{\sqrt{\epsilon\mu}}$$

quindi il tempo di propagazione lungo una linea lunga L è:

$$T = \sqrt{\epsilon\mu} * L$$

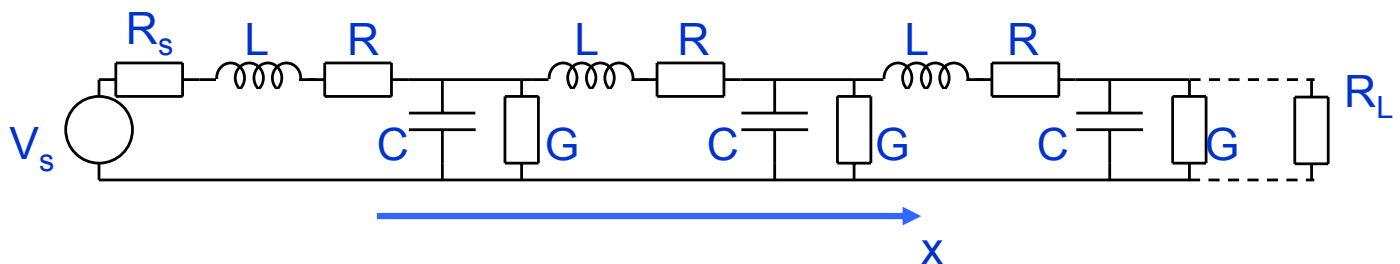
Un esempio di linea semplice il classico doppino composto da 2 fili:



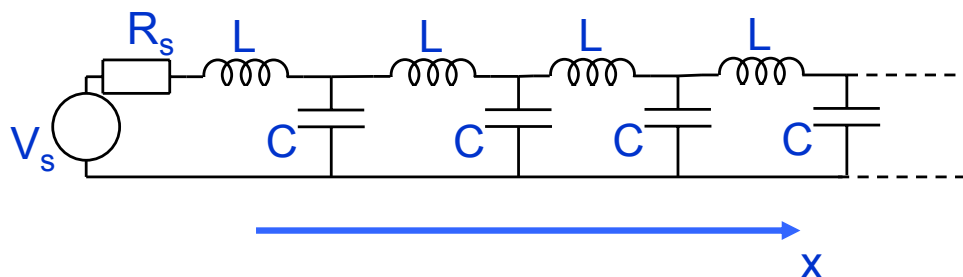
Le linee di trasmissione 2

La più generica modellizzazione di una linea di trasmissione comprende una successione di elementi circuitali composti da induttanze, resistenze, conduttanze e capacità. Questi parametri sono tutti definiti per unità di lunghezza, x , della linea.

Se la linea non presenta trascurabili le resistenze e conduttanze per unità di lunghezza, ovvero se la corrente circolante è molto grossa rispetto a tali valori, si dice che la linea è dissipativa.



Nel caso di trasmissione di segnali di bassa potenza quasi sempre la linea può essere considerata non-dissipativa, omettendo la presenza delle resistenze per unità di lunghezza.



Nel caso in cui la linea sia non-dissipativa si può fare una valutazione del comportamento senza dovere coinvolgere aspetti matematici complessi.

Prima osservazione:

Mano a mano che il segnale percorre la linea porta con sé l'energia data dal generatore. Questa energia viene successivamente trasferita dalla prima induttanza alla prima capacità, quindi dalla seconda induttanza e alla seconda capacità, e via di seguito.

Le linee di trasmissione 3

Siccome nel processo l'energia trasmessa deve rimanere intonsa, deve essere soddisfatta la condizione che in ogni punto x l'energia assorbita dall'induttanza i -esima deve essere uguale all'energia consegnata alla capacità i -esima:

$$U_L(x) = U_C(x)$$

ovvero:

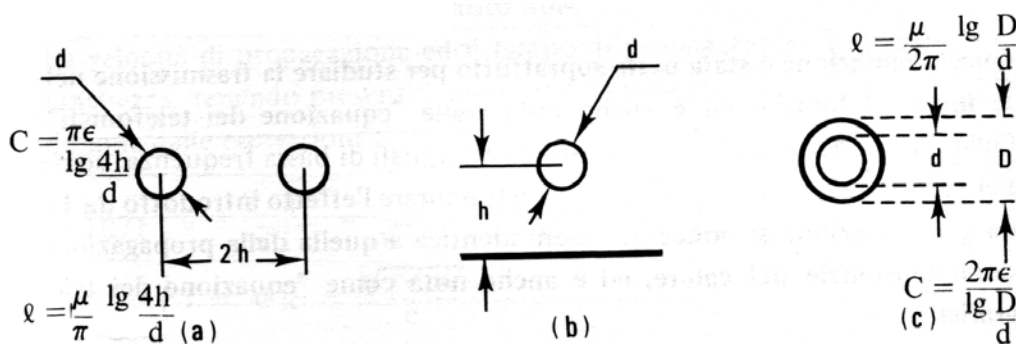
$$\frac{1}{2} L dx i_T(x)^2 = \frac{1}{2} C dx v_T(x)^2$$

Abbiamo il primo fatto fondamentale:

$$Z_o = \frac{v_T(x)}{i_T(x)} = \sqrt{\frac{L}{C}}$$

In ogni punto x della linea il rapporto tra la tensione e la corrente è costante e dipende dalle caratteristiche della linea stessa. Tale rapporto è detto **impedenza caratteristica della linea**.

Esempi:



Guarda caso in una linea di trasmissione la capacità e l'induttanza per unità di lunghezza hanno simili dipendenze geometriche e vale che:

$$v_L = \frac{1}{\sqrt{\epsilon \mu}} = \frac{1}{\sqrt{LC}}$$

Il segnale elettrico propaga lungo la linea alla velocità della luce nel mezzo trasmissivo.

Il tempo di propagazione del segnale di un tratto x è dato da:

$$T = \frac{x}{v_L} = x \sqrt{\epsilon \mu} = x Z_o C$$

Le linee di trasmissione 4

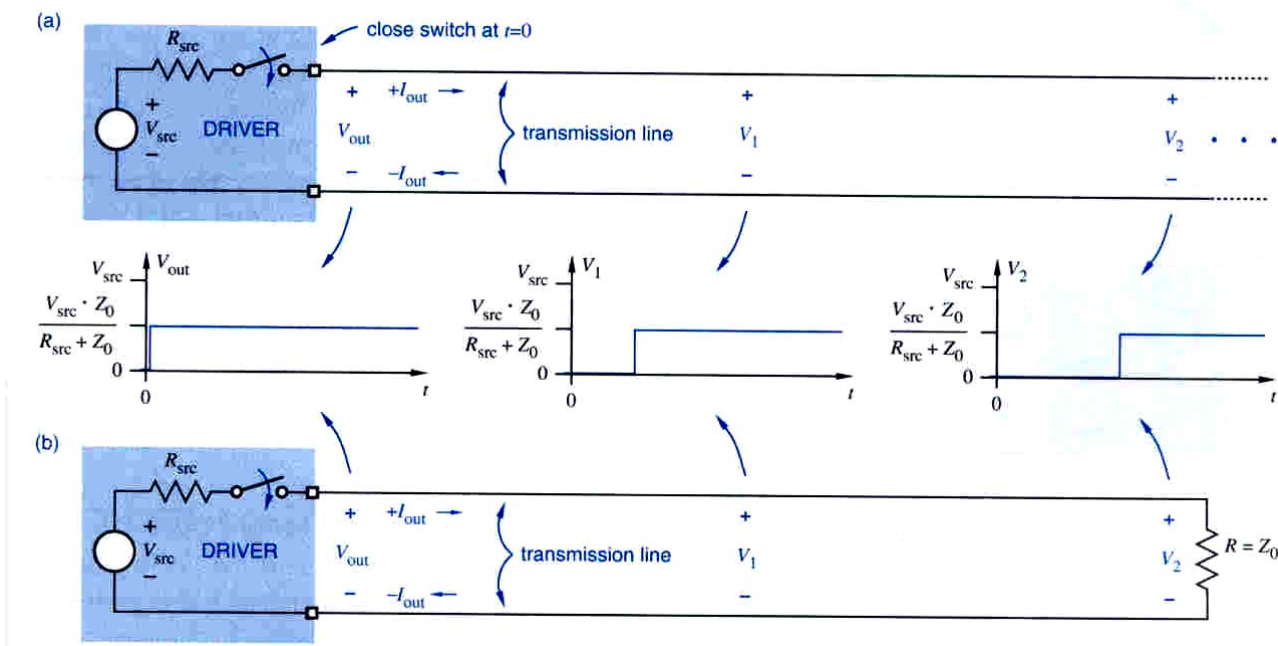
Supponiamo di applicare un segnale ad una linea che abbia una lunghezza ∞ . Il segnale propagherà solo in avanti non essendo riflesso in nessun punto. Non avremo quindi l'onda riflessa che torna verso la sorgente.

La linea si comporta come se avesse impedenza Z_0 anche al suo ingresso. Perciò il segnale della sorgente, avente impedenza serie R_{SEC} , subisce la partizione con Z_0 . In sostanza la linea non si accorge all'ingresso di essere l'inizio.

Se la linea ha invece lunghezza finita ed all'estremo opposto alla sorgente è chiusa su un'impedenza uguale a quella caratteristica si ha la condizione di terminazione.

L'energia presente nella linea viene "ripartita" tra la linea stessa e il carico in parti uguali. L'energia viene dissipata dal carico, ma la linea non si accorge di essere finita. Il segnale non è riflesso.

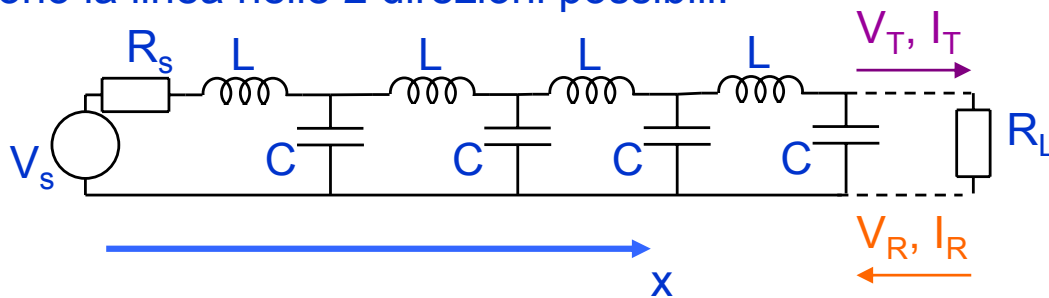
Il segnale giunge all'estremità opposta della linea solo dopo il ritardo di propagazione dovuto alla lunghezza della linea stessa.



La questione è capire cosa succede quando l'impedenza di terminazione di sorgente e/o di carico differiscono da Z_0 .

Le linee di trasmissione 5

Possiamo pensare al nostro segnale come ad una serie di pacchetti d'onda che percorrono la linea nelle 2 direzioni possibili.



L'onda che arriva porta una certa quantità di energia E_T . Se questa energia non venisse completamente assorbita dal carico Z_L parte d'essa, E_R , verrebbe riflessa all'indietro:

$$E_R = E_T - E_{\text{CARICO}}$$

Ovvero la derivata:

$$P_R = P_T - P_{\text{CARICO}}$$

$$\text{E: } P_R = \frac{dE_R}{dt} = \frac{d\left(\frac{1}{2}CV_R^2\right)}{dt} = CV_R \frac{dV_R}{dt} = I_R V_R = \frac{V_R^2}{Z_0}$$

$$\text{Quindi: } \frac{V_R^2}{Z_0} = \frac{V_T^2}{Z_0} - \frac{(V_R + V_T)^2}{R_L}$$

Da cui:

$$V_R = \frac{R_L - Z_0}{R_L + Z_0} V_T$$

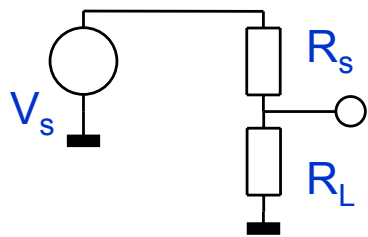
(lo stesso vale anche per la corrente a parte il segno)

La misura del segnale riflesso dipende da quanto l'impedenza di carico si discosta dall'impedenza tipica Z_0 .

Ovviamente questo stesso ragionamento si applica anche al terminale di ingresso della linea.

Le linee di trasmissione 5

Il concetto di terminazione è legato al concetto di trasferimento di energia.



La potenza massima trasferibile al carico R_L in un partitore resistivo la si ottiene quando $R_s = R_L$:

$$P_{MAX} = \frac{V_s^2}{4R_s}$$

Nella situazione in cui $R_L \neq R_s$ abbiamo che parte dell'energia disponibile viene restituita, o riflessa:

$$P_{RIF} = P_{MAX} - \frac{V_s^2}{(R_s + R_L)^2} R_L = \frac{V_s^2}{4R_s} \left(\frac{R_L - R_s}{R_s + R_L} \right)^2$$

Ovvero abbiamo un segnale riflesso, $P_{RIF} = V_{RIF}^2 / 4R_s$ pari a:

$$|V_{RIF}| = \left| V_s \left(\frac{R_L - R_s}{R_s + R_L} \right) \right|$$

La discriminazione sul segno del segnale riflesso si evince dalle valutazioni sulle considerazioni limiti sul carico:

- Se $R_L = \infty$ il segnale riflesso deve essere uguale a quello incidente;
- Se $R = 0$ il segnale riflesso deve essere uguale ed opposto a quello incidente.

Da cui segue che:

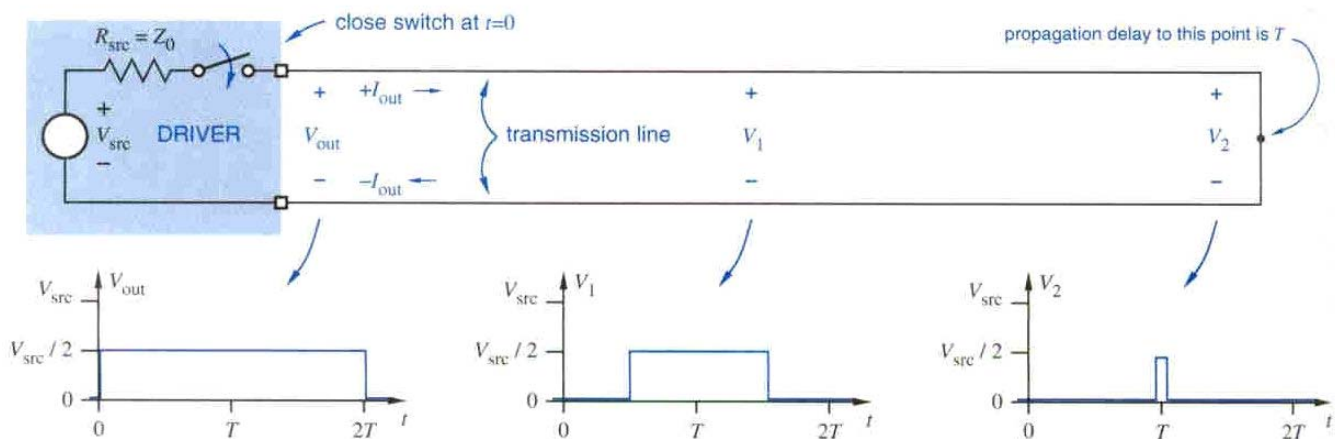
$$V_{RIF} = V_s \left(\frac{R_L - R_s}{R_s + R_L} \right)$$

Un ragionamento analogo vale per le linee di trasmissione, solo che in questo caso occorre confrontarsi con l'impedenza caratteristica Z_0 .

Le linee di trasmissione 6

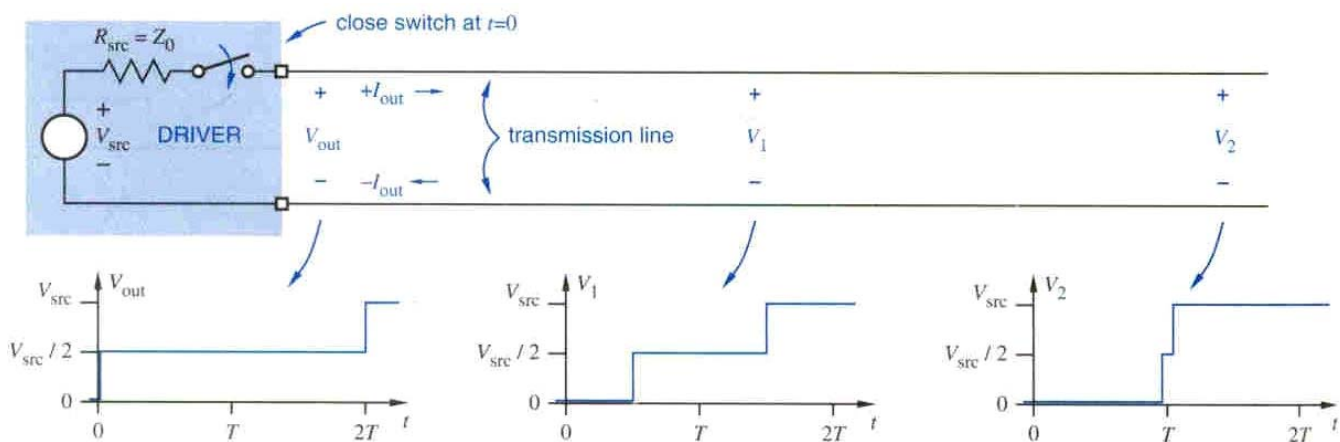
Vediamo i 2 casi estremi. La linea ha come carico un cortocircuito, mentre è adattata all'ingresso. Il segnale riflesso è uguale ed opposto al segnale trasmesso.

Se T è il tempo di propagazione lungo la linea, dopo un tempo pari a $2T$ il segnale si annulla al terminale di ingresso. Questa tecnica è usata per creare impulsi di durata definita.



Il secondo caso si ha quando la linea è adattata all'ingresso ed ha un aperto circuito come carico.

Il segnale riflesso è identicamente uguale al segnale trasmesso. Dopo $2T$ il segnale all'ingresso raddoppia in ampiezza.

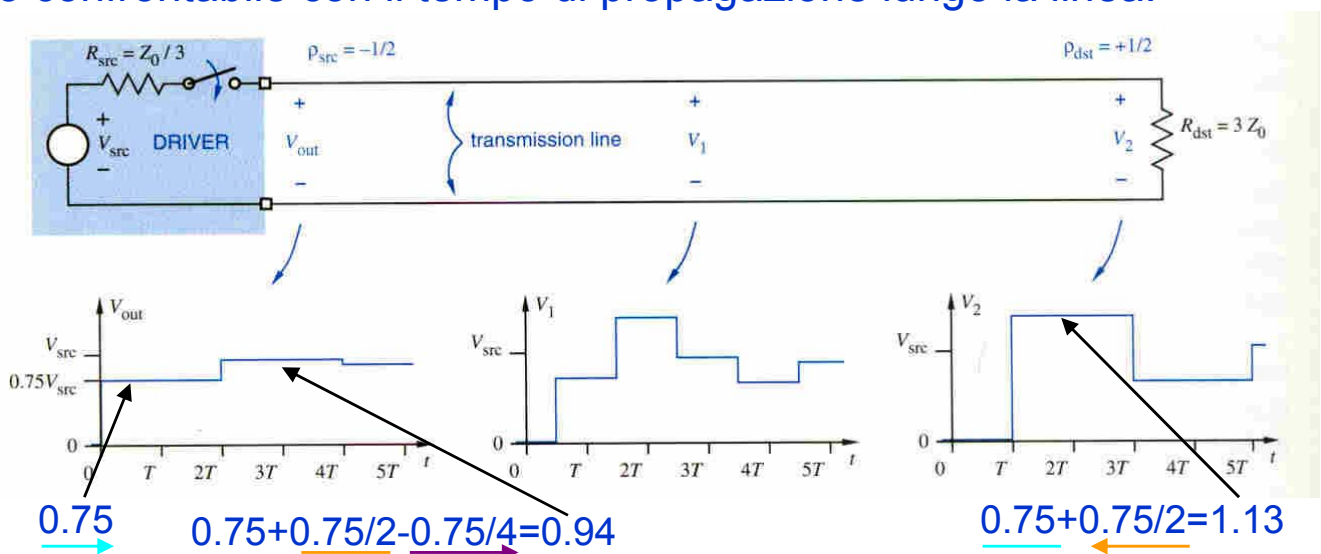


Le linee di trasmissione 7

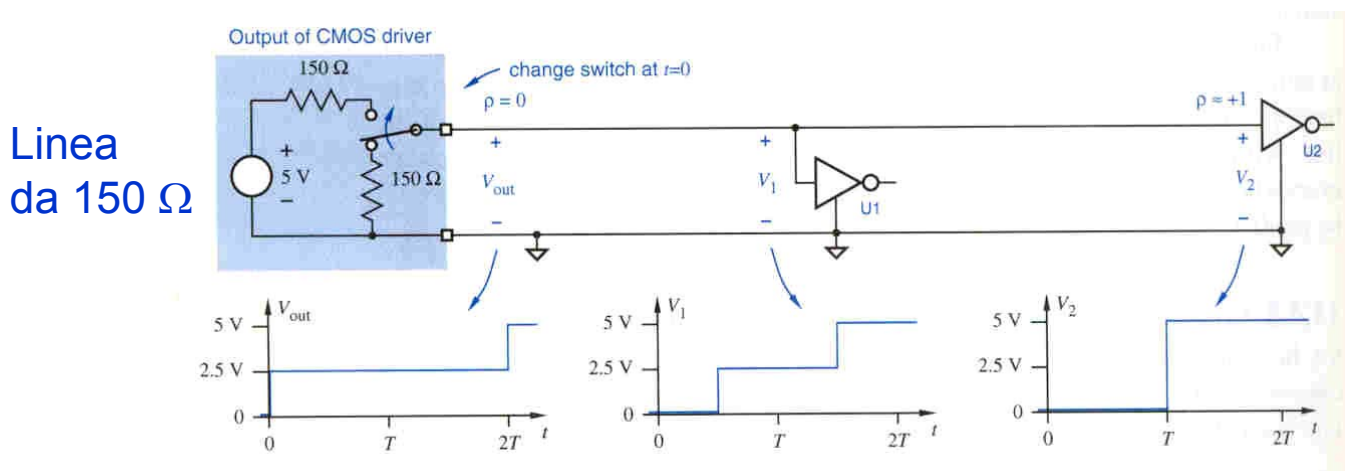
Il caso più generico si ha quando la linea non è adattata sia all'ingresso che all'uscita.

Il segnale subisce un certo numero di riflessioni prima di raggiungere la condizione di regime.

Questa situazione è la peggiore. Si pensi ad un segnale di clock invece che ad un gradino. Le continue riflessioni porterebbero a delle situazioni di sicuro malfunzionamento se la frequenza del segnale fosse in qualche modo confrontabile con il tempo di propagazione lungo la linea.



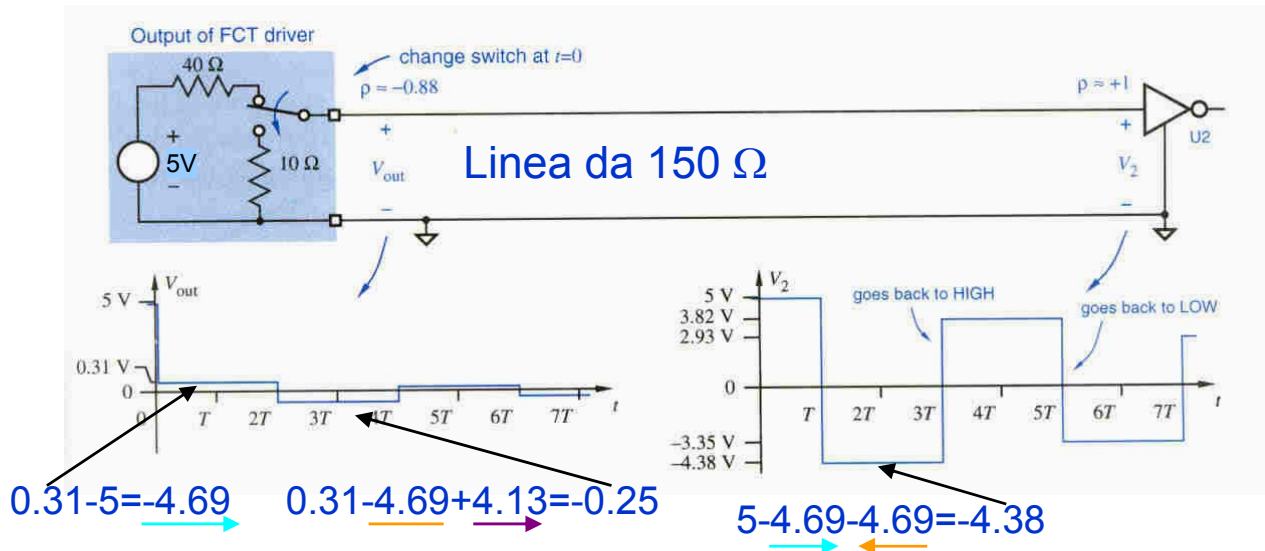
Quasi terminando la linea all'ingresso, ma lasciando un carico infinito si ha riflessione all'uscita, ma all'uscita stesa il segnale è subito a regime. In tale situazione il posizionamento di una porta in mezzo alla linea o vicino al terminale di ingresso potrebbe portare ad una interpretazione ambigua dello stato logico per la durata del tempo di mezza riflessione.



Le linee di trasmissione 8

La condizione di aperto circuito all'uscita è però pericolosa quando all'ingresso l'impedenza di sorgente è sensibilmente più piccola di Z_0 ed il segnale compie una transizione da alto a basso.

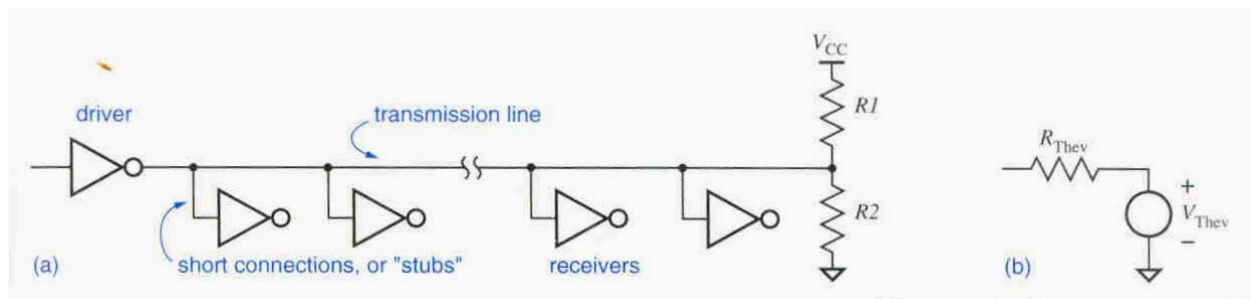
In questo caso se alla porta di ricezione non sono presenti diodi di protezione contro "il sotto-massa" l'escursione del segnale ha anche valori negativi.



Si possono considerare 3 metodi per la terminazione del segnale.

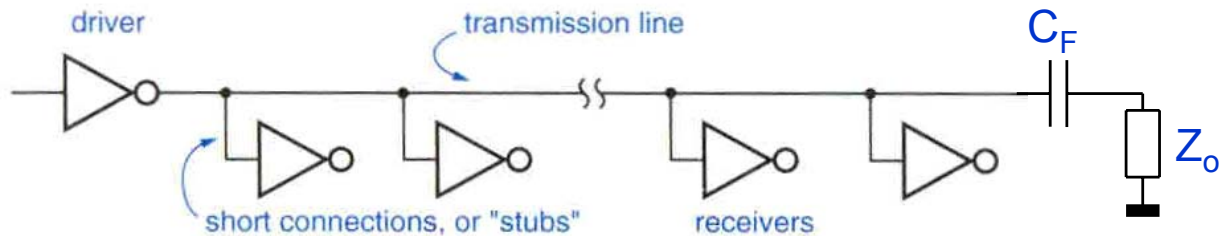
Possiamo terminare la linea all'estremità ricevente con una coppia di resistenze che consentano di mantenere staticamente un livello di tensione adeguato.

Questa soluzione determina un assorbimento di corrente non trascurabile, se si tiene conto che tipiche impedenze caratteristiche di linea sono dell'ordine di 50Ω , 100Ω , 150Ω .

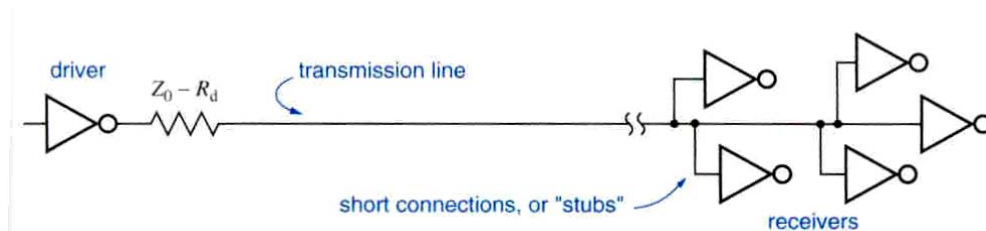


Le linee di trasmissione 9

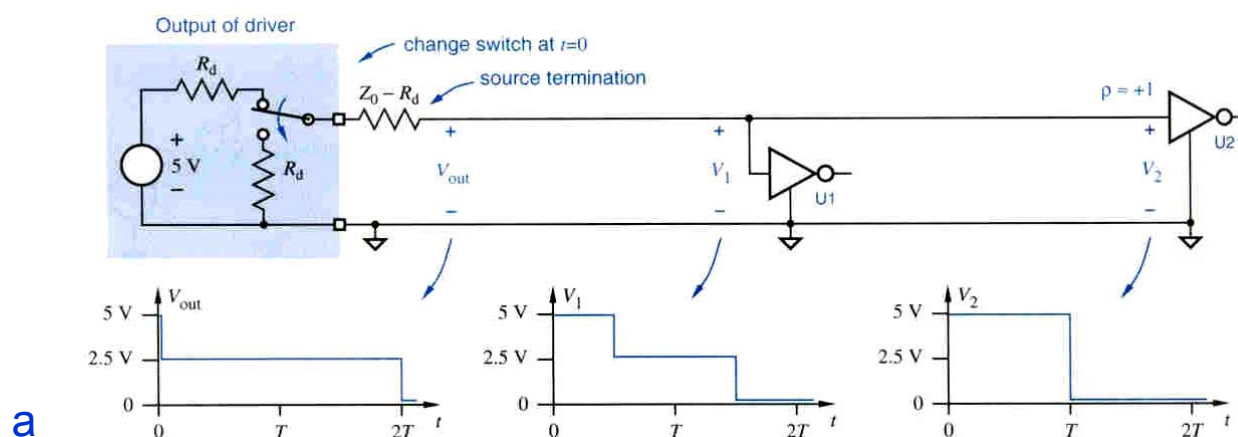
Si può cercare comunque di terminare la linea all'estremità ricevente, ma in "AC", mediante l'uso di una capacità di filtro che blocchi il passaggio del segnale continuo, perciò la dissipazione di potenza.



Una delle condizioni più sfruttate è però quella di terminare all'ingresso ponendo in serie alla porta di ingresso una piccola impedenza che assicuri che l'impedenza di sorgente sia prossima a quella della linea Z_0 . Allo scopo occorre conoscere in modo più o meno approssimato l'impedenza di uscita della porta stessa.



In questo modo la riflessione sul carico ha per effetto la determinazione del segnale finale. Ovviamente la presenza di dispositivi connessi in mezzo alla linea andrebbe evitata.



a

Bibliografia

S.M.Sze,
SEMICONDUCTOR DEVICES, PHYSICS AND TECHNOLOGY, 2
EDITION
John Wiley & Sons, 2002.

R.S.Muller, T.I.Kamins,
DEVICES ELECTRONICS FOR INTEGRATED CIRCUITS
John Wiley & Sons, 1986.

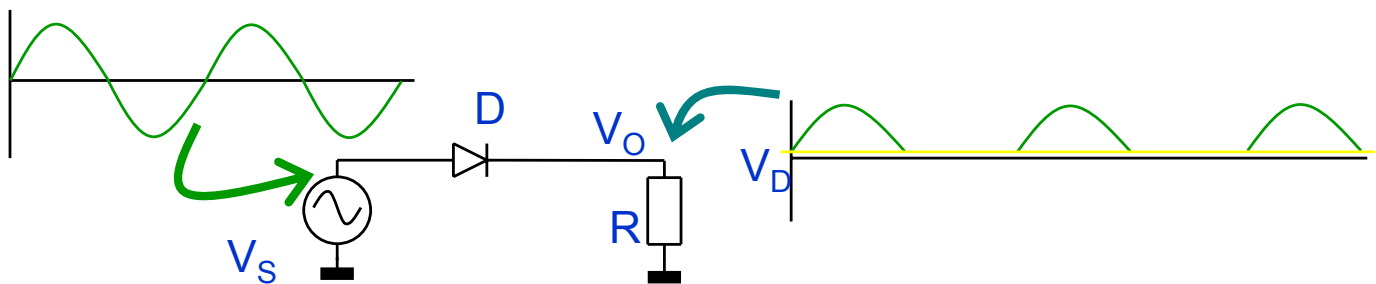
P.Horowitz, W.Hill,
THE ART OF ELECTRONICS, SECOND EDITION
Cambridge University Press, 1999.

J.F.Wakerly
DIGITAL DESIGN, PRINCIPLES AND PRACTICES
Prentice Hall International, 2000.

Franco Sergio
Design with Operational Amplifiers and Integrated Circuits, Third Edition,
Mc Graw Hill, 2002, Cod. Biblio 621.3815 FRAS.DES/2002

Appendice A: I diodi nei circuiti raddrizzatori 1

Raddrizzatore a mezz'onda



V_D = potenziale di built-in

Se $V_S < 0$ il diodo non si lascia praticamente attraversare da corrente, per cui l'uscita rimane pressoché nulla.

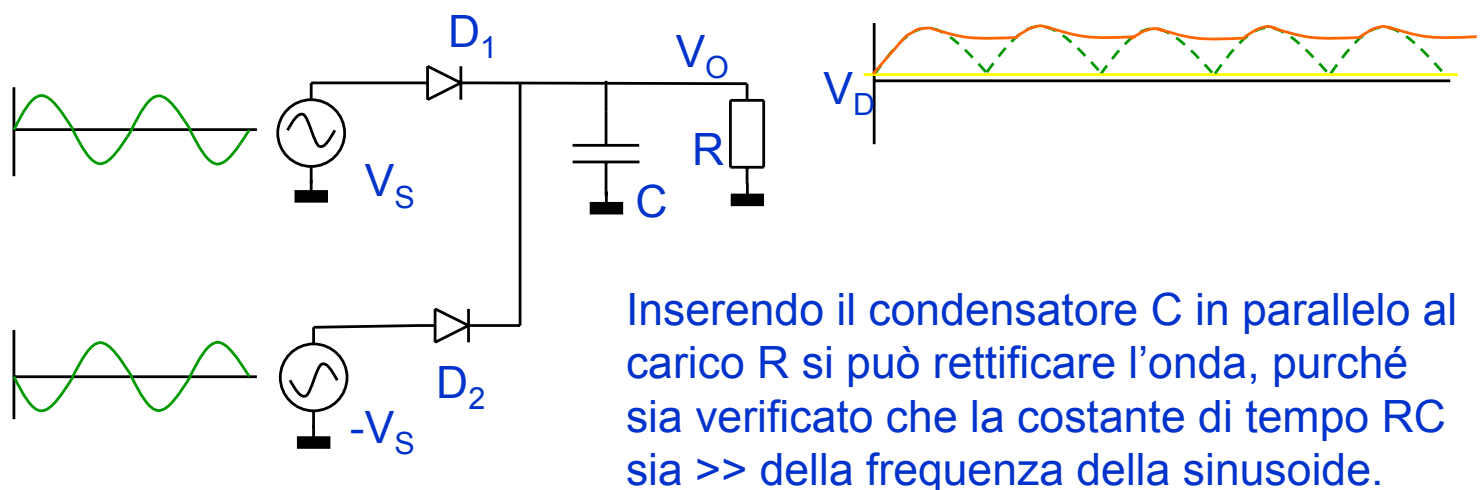
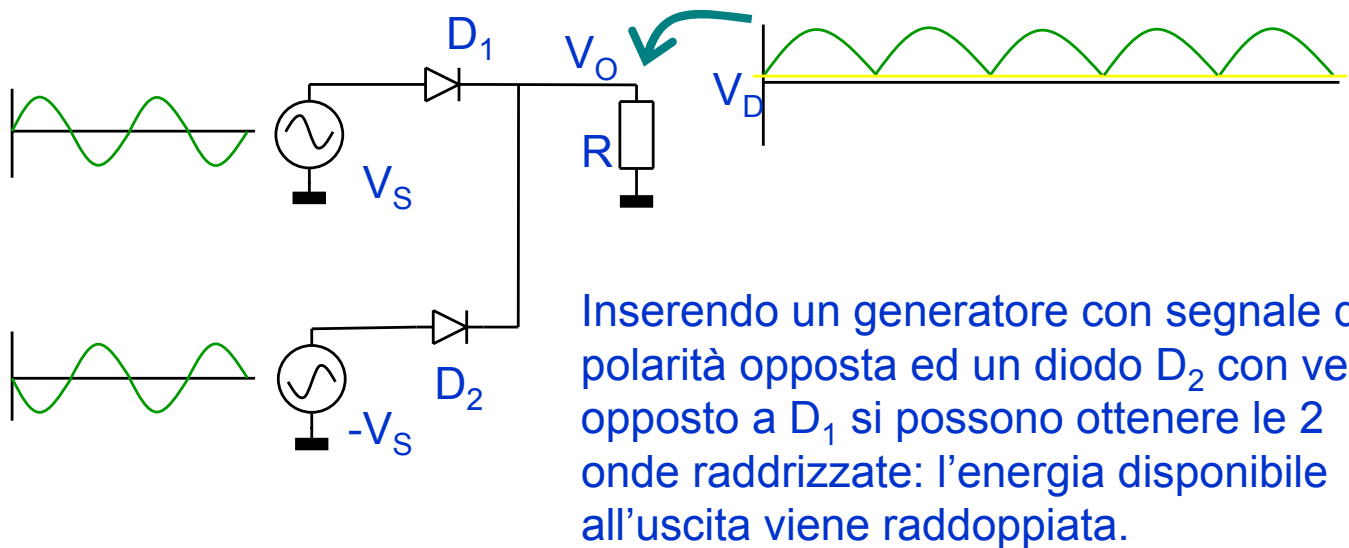
Se $0 < V_S < V_D$ la corrente che può scorrere nel diodo è molto bassa, per cui la ddp ai capi di R è trascurabile. Di conseguenza V_O rimane piccola.

Se $V_S > V_D$ la corrente nel diodo può fluire quasi liberamente. La ddp ai capi del diodo varia logaritmicamente con la corrente. Di conseguenza possiamo pensare la ddp ai capi del diodo quasi costante. Quindi $V_O \approx V_S - V_D$.

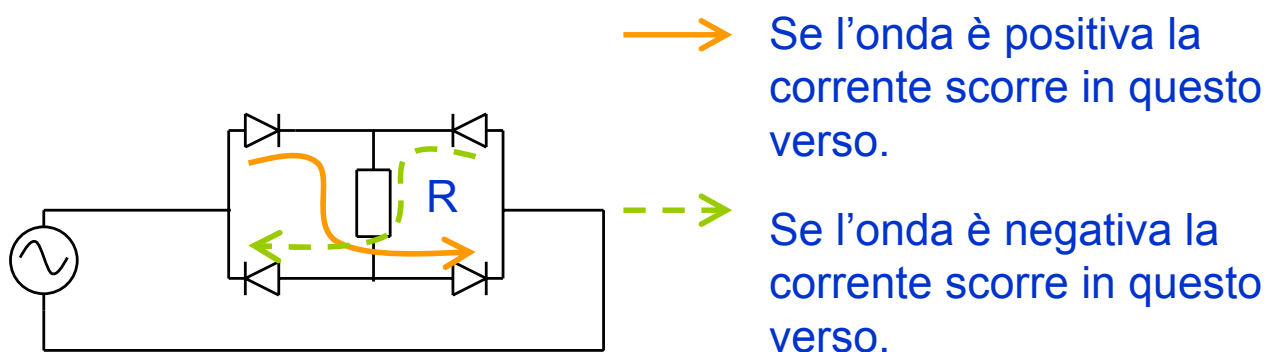
Il risultato è che solo l'onda positiva viene trasmessa all'uscita. Il valore medio della tensione di uscita è diverso da zero: abbiamo una componente continua.

Appendice A: I diodi nei circuiti raddrizzatori 2

Raddrizzatore ad onda intera



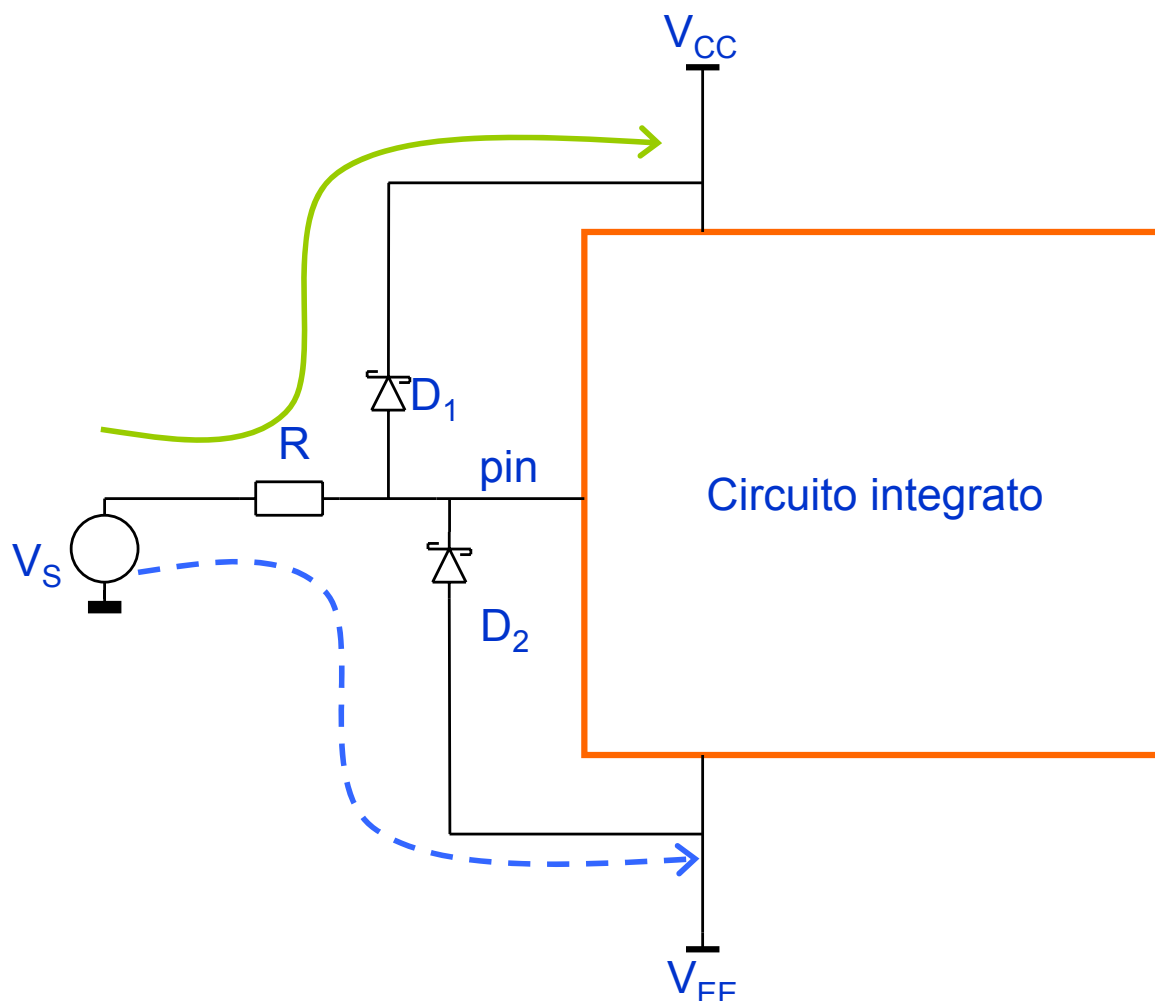
Ponte di diodi



Nel carico la corrente scorre sempre nello stesso verso: abbiamo realizzato un raddrizzatore con un solo generatore. In uscita però in questo caso si perde 2 volte la tensione presente ai capi dei diodi.

Appendice B: protezione da sovra tensione nei circuiti integrati

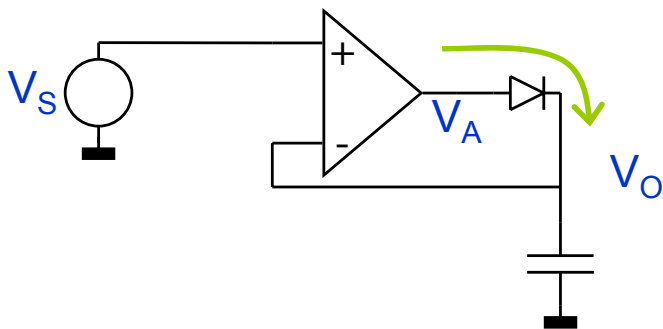
- Se per malfunzionamento la tensione di ingresso V_S sale sopra il valore della tensione di alimentazione positiva V_{CC} il diodo D_1 inizia a condurre, limitando l'escursione del pin a $V_{CC} + V_D$.



- → Se V_S scende sotto il valore della tensione V_{EE} (che potrebbe essere anche massa) D_2 conduce, limitando l'escursione del pin a $V_{EE} - V_D$.

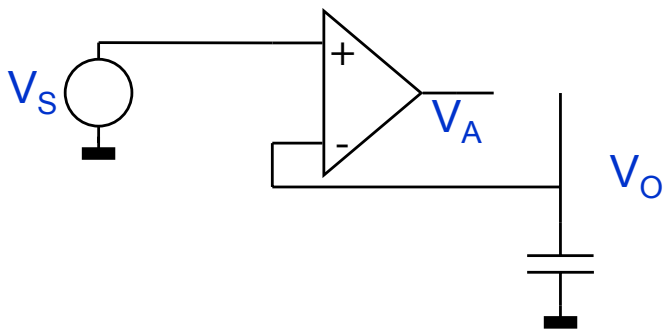
La coppia di diodi viene inserita ad ogni pin di ingresso del circuito integrato. La coppia di diodi è residente all'interno del circuito integrato. A seconda delle applicazioni è anche prevista la presenza della resistenza. Altrimenti si deve prevedere la sua presenza esterna, se si pensa che possa esistere il pericolo di sovratensione.

Appendice C: esempio di Peak Detector and Hold



Se V_S è $>$ di V_O il condensatore deve caricarsi attraverso la corrente che passa nel diodo.

Sappiamo che $V_+ \approx V_-$ per cui $V_O \approx V_S$ indipendentemente dalla tensione del diodo. Questo accade perché il potenziale di uscita V_A dell'operazionale si aggiusta per essere $V_O + V_D$.



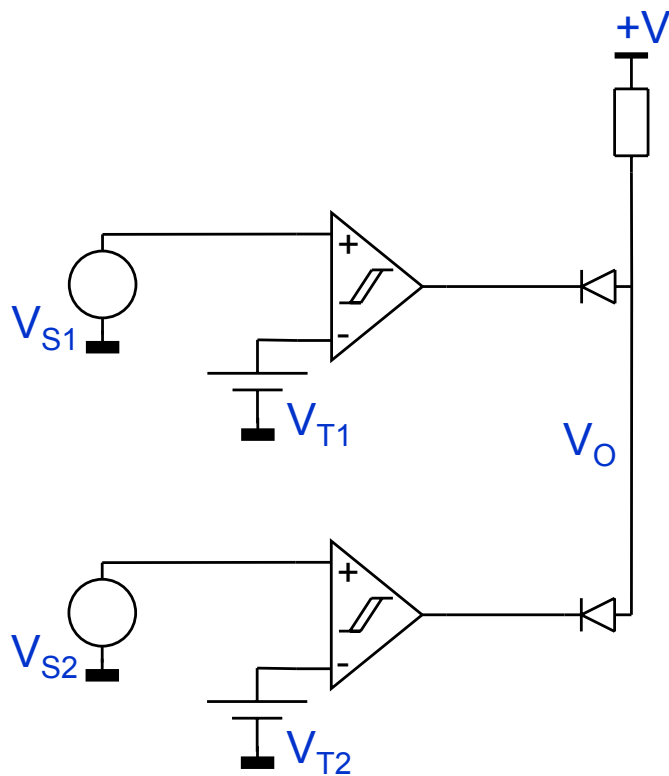
Se ora V_S diviene $<$ di V_O il condensatore dovrebbe scaricarsi con una corrente opposta che non può essere fornita dal diodo. Perciò il diodo si apre ed il condensatore non può che rimanere carico al valore massimo riscontrato su V_S .

Ovviamente la condizione è garantita se la corrente statica di ingresso dell'OA è nulla anche se l'OA non sta operando ad anello chiuso. Di solito si usa un MOS come dispositivo di ingresso.

Il ripristino del circuito per la ricerca di un nuovo massimo deve prevedere la possibilità di scaricare il condensatore con un interruttore opportuno posto in parallelo al condensatore.

Appendice D: AND analogico

Spesso serve di potere riconoscere un evento in coincidenza tra più canali. Da più segnali analogici vogliamo estrarre un segnale digitale alto solo quando tutti gli ingressi superano delle soglie stabilite.



Se almeno uno dei 2 ingressi è basso il diodo corrispondente conduce forzando bassa l'uscita indipendentemente dal comportamento dell'altro segnale.

L'uscita dei comparatori è bassa se il corrispondente ingresso è minore della rispettiva tensione di soglia.

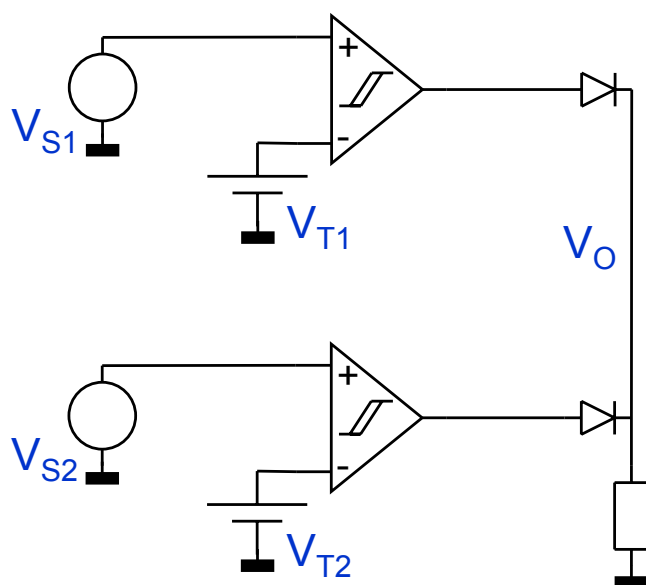
Se entrambi gli ingressi sono maggiori delle rispettive soglie le uscite dei comparatori sono alte ed i rispettivi diodi risulteranno interdetti: l'uscita diviene allora alta. La tabella della verità che ne consegue è quindi un OR.

$V_{S1} > V_{T1}$	$V_{S2} > V_{T2}$	V_O
N	N	0
N	S	0
S	N	0
S	S	1

Il numero di ingressi può essere ovviamente > 2 .

Appendice E: OR analogico

Spesso serve potere riconoscere la presenza di un evento tra più canali. Da più segnali analogici vogliamo estrarre un segnale digitale alto quando almeno uno degli ingressi supera la sua soglia impostata.



Se almeno uno dei 2 ingressi è alto il diodo corrispondente conduce forzando alta l'uscita indipendentemente dal comportamento dell'altro segnale.

L'uscita dei comparatori è alta se il corrispondente ingresso è maggiore della rispettiva tensione di soglia.

L'uscita si mantiene bassa solo se le uscite dei comparatori sono tutte basse, ovvero se nessuna soglia è stata superata.

La tabella della verità che ne consegue è un OR:

$V_{S1} > V_{T1}$	$V_{S2} > V_{T2}$	V_O
N	N	0
N	S	1
S	N	1
S	S	1

Anche qui il numero di ingressi può benissimo essere > 2 .